



XA-9419

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Chiaki TANIMOTO et al.

Appln. No.: 09/754,064

Group Art Unit: 2121

Filed: January 5, 2001

RECEIVED

For: IC CARD AND MICROPROCESSOR

AUG 09 2001

* * *

Technology Center 2100

TRANSMITTAL OF CERTIFIED COPIES OF PRIORITY DOCUMENTS

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

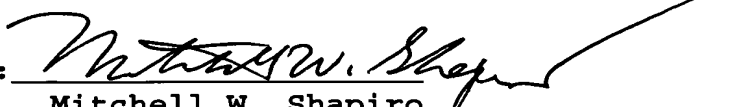
Transmitted herewith are certified copies of Japanese
Patent Application Nos. 2000-003295 filed January 12, 2000,
2000-003297 filed January 12, 2000, and 2000-323178 filed
October 23, 2000, for which Applicants claim priority under
35 U.S.C. § 119.

Respectfully submitted,

MWS:lmb

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

By:


Mitchell W. Shapiro
Reg. No. 31,568

August 6, 2001



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 1月12日

出 願 番 号

Application Number:

特願2000-003295

出 願 人

Applicant (s):

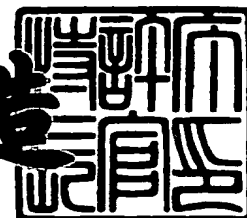
株式会社日立製作所

株式会社日立超エル・エス・アイ・システムズ

2000年 9月22日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3076673

【書類名】 特許願

【整理番号】 H99022451

【提出日】 平成12年 1月12日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/14

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社 日立製作所 半導体グループ内

【氏名】 寺内 千晶

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社 日立製作所 半導体グループ内

【氏名】 中田 邦彦

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 日立超エル・エス・アイ・システムズ内

【氏名】 塚元 卓

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 日立超エル・エス・アイ・システムズ内

【氏名】 平林 茂雄

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 日立超エル・エス・アイ・システムズ内

【氏名】 渡瀬 弘

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 日立超エル・エス・アイ・システムズ内

【氏名】 ▲高▼橋 雅聡

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社 日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ICカードとマイクロコンピュータ

【特許請求の範囲】

【請求項1】 外部端子がリードライト装置と電氣的に接続されることによって動作電圧が供給され、かつ、暗号化処理又は復号化処理を伴ったデータの入出力動作を含むICカードであって、

上記暗号化処理又は復号化処理に攪乱目的のダミー処理動作を含ませて内部回路の動作タイミング及び動作電流の画一化を行なうことを特徴とするICカード

。

【請求項2】 請求項1において、

上記暗号化処理又は復号化処理は、RSA暗号法などに応用可能なべき乗剰余乗算動作を含むものであることを特徴とするICカード。

【請求項3】 請求項2において、

上記べき乗剰余乗算動作は、中央処理装置からの指示を受けて動作する暗号処理用演算ユニットにより行なわれるものであることを特徴とするICカード。

【請求項4】 請求項3において、

上記暗号化処理用演算ユニットは、入力されたX、Y及びNを受け、 $A = 1$ 、 $B = X$ として、 $A = A^2 \bmod N$ と $A = AB \bmod N$ の演算を交互に行ない、かかる演算においてYの上位から1ビットずつみて、論理0であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとして記憶回路に取り込み、論理1であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとして記憶回路に取り込むものであり、上記論理0のときの $A = AB \bmod N$ の演算動作が上記攪乱目的のダミー処理動作とされることを特徴とするICカード。

【請求項5】 請求項4において、

上記記憶回路は、リードライトバッファとかかるリードライトバッファを通してデータの入出力が行なわれる複数のレジスタとからなるレジスタブロックであり、

上記演算結果は、上記Yの特定ビット e_i の論理1又は0によってゲート回路を制御し、所定のレジスタに供給されるライトストロープ信号の伝達を制御して

、有効なデータのみがリードライトバッファを通して上記所定のレジスタに格納されることを特徴とする IC カード。

【請求項 6】 請求項 4 において、

上記記憶回路は、リードライトバッファとかかるリードライトバッファを通してデータの入出力が行なわれる複数のレジスタとからなるレジスタブロックであり、

上記演算結果は、上記 Y の特定ビット e_i の論理 1 又は 0 によってゲート回路を制御し、上記リードライトバッファに供給されるライトストロブ信号の伝達を制御して、有効なデータのみがリードライトバッファを通して上記所定のレジスタに格納されることを特徴とする IC カード。

【請求項 7】 請求項 4 において、

上記記憶回路は、リードライトバッファとかかるリードライトバッファを通してデータの入出力が行なわれる複数のレジスタ及びダミーレジスタとからなるレジスタブロックであり、

上記演算結果は、上記リードライトバッファと上記ダミーレジスタ及び複数のレジスタとの間に設けられたセクタを上記 Y の特定ビット e_i の論理 1 又は 0 によって制御して上記リードライトバッファに書き込まれた演算結果のうち有効なデータが所定のレジスタに格納され、無効なデータが上記ダミーレジスタに格納されるものであることを特徴とする IC カード。

【請求項 8】 請求項 3 において、

上記暗号化処理用演算ユニットは、入力された X、Y 及び N を受け、 $A = 1$ 、 $B = X$ として、 $A = A^2 \bmod N$ と $A = AB \bmod N$ の演算を交互に行ない、かかる演算において Y の上位から 1 ビットずつみて、論理 0 であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとしてその出力タイミングで記憶回路に取り込み、論理 1 であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとしてその出力タイミングで記憶回路に取り込むものであり、上記 $A = A^2 \bmod N$ の演算結果が出力されてから上記 $A = AB \bmod N$ の演算が開始されるまでの間も上記 $A = A^2 \bmod N$ の動作を継続し、 $A = AB \bmod N$ の演算結果が出力されてから Y のビットの変更判定処理を含めて次のビットに対応した $A^2 \bmod$

Nの演算が開始されるまでの間も上記 $A = AB \bmod N$ の動作を継続するものであることを特徴とするICカード。

【請求項9】 請求項3において、

上記暗号化処理用演算ユニットは、入力されたX、Y及びNを受け、 $A = 1$ 、 $B = X$ として、 $A = A^2 \bmod N$ と $A = AB \bmod N$ の演算とそれぞれに対してオーバーフロー演算行ない、かかる演算においてYの上位から1ビットずつみて、論理0であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとして記憶回路に取り込み、論理1であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとして記憶回路に取り込むものであり、上記論理0のときの $A = AB \bmod N$ の演算動作と、各演算動作での不要なオーバーフロー演算が上記攪乱目的のダミー処理動作とされることを特徴とするICカード。

【請求項10】 外部端子がリードライト装置と電氣的に接続されることによって動作電圧が供給され、かつ、暗号化処理又は復号化処理を伴ってデータの入出力動作が行われるICカードであって、

上記暗号化処理又は復号化処理に攪乱目的のダミー演算を含ませて内部回路の動作タイミング及び動作電流に不規則性を持たせてなることを特徴とするICカード。

【請求項11】 外部端子がリードライト装置と電氣的に接続されることによって動作電圧が供給され、かつ、暗号化処理又は復号化処理を伴ってデータの入出力動作が行われるICカードであって、

上記暗号化処理又は復号化処理における各演算の間隔に攪乱目的のダミーサイクルを含ませて内部回路の動作タイミング及び動作電流に不規則性を持たせてなることを特徴とするICカード。

【請求項12】 暗号化処理又は復号化処理を伴ったデータの入出力動作を含むモジュール構成のマイクロコンピュータであって、

上記暗号化処理又は復号化処理に攪乱目的のダミー処理動作を含ませて内部回路の動作タイミング及び動作電流の画一化を行なうことを特徴とするマイクロコンピュータ。

【請求項13】 請求項12において、

上記モジュール構成は、1つの半導体基板上において形成されることによって実現されることを特徴とするマイクロコンピュータ。

【請求項14】 請求項13において、

上記暗号化処理又は復号化処理は、RSA暗号法などに応用可能なべき乗剰余乗算動作を含み、

上記べき乗剰余乗算動作は、中央処理装置からの指示を受けて動作する暗号処理用演算ユニットにより行なわれるものであることを特徴とするマイクロコンピュータ。

【請求項15】 請求項14において、

上記暗号化処理用演算ユニットは、入力されたX、Y及びNを受け、 $A=1$ 、 $B=X$ として、 $A=A^2 \bmod N$ と $A=AB \bmod N$ の演算を交互に行ない、かかる演算においてYの上位から1ビットずつみて、論理0であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとして記憶回路に取り込み、論理1であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとして記憶回路に取り込むものであり、上記論理0のときの $A=AB \bmod N$ の演算動作が上記攪乱目的のダミー処理動作とされることを特徴とするマイクロコンピュータ。

【請求項16】 請求項14において、

上記暗号化処理用演算ユニットは、入力されたX、Y及びNを受け、 $A=1$ 、 $B=X$ として、 $A=A^2 \bmod N$ と $A=AB \bmod N$ の演算を交互に行ない、かかる演算においてYの上位から1ビットずつみて、論理0であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとしてその出力タイミングで記憶回路に取り込み、論理1であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとしてその出力タイミングで記憶回路に取り込むものであり、上記 $A=A^2 \bmod N$ の演算結果が出力されてから上記 $A=AB \bmod N$ の演算が開始されるまでの間も上記 $A=A^2 \bmod N$ の動作を継続し、 $A=AB \bmod N$ の演算結果が出力されてからYのビットの変更判定処理を含めて次のビットに対応した $A^2 \bmod N$ の演算が開始されるまでの間も上記 $A=AB \bmod N$ の動作を継続するものであることを特徴とするマイクロコンピュータ。

【請求項17】 請求項14において、

上記暗号化処理用演算ユニットは、入力された X、Y 及び N を受け、 $A = 1$ 、 $B = X$ として、 $A = A^2 \bmod N$ と $A = AB \bmod N$ の演算とそれぞれに対してオーバーフロー演算行ない、かかる演算において Y の上位から 1 ビットずつみて、論理 0 であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとして記憶回路に取り込み、論理 1 であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとして記憶回路に取り込むものであり、上記論理 0 のときの $A = AB \bmod N$ の演算動作と、各演算動作での不要なオーバーフロー演算が上記攪乱目的のダミー処理動作とされることを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、IC カードとマイクロコンピュータに関し、特に IC カードやプログラム内蔵の 1 チップマイクロコンピュータのような CPU とメモリを含み暗号鍵を使ったデータ処理を行なうものの機密保護技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】

メモリに保存されている鍵情報を用いてデータの暗号処理化又は復号化処理を行なうようにした IC カードにおいて、処理時間の違いを利用して実行内容や暗号鍵を推定する TA (Timing Attack) 法のようなハッキング手法に対抗するため、暗号処理化又は復号化処理の実行中又は実行の前後に、鍵情報の内容との時間的な相関関係を喪失させる遅延処理を実行する技術の例として、特開平 10-69222 号がある。また、IC カードに関しては、オーム社出版電子情報通信学会編水沢順一著「IC カード」などがある。

【0003】

【発明が解決しようとする課題】

近年、IC カードが暗号処理を行っている時の消費電流を観測して解析することにより、容易に暗号処理の内容や暗号鍵が推定されることの可能性が示唆されている。このことについては、John Wiley & sons 社 W.Rankl & W. Effing 著「

Smart Card Handbook」の8.5.1.1 Passive protective mechanisms(263ページ)に記載されている。

【0004】

つまり、SPA (Simple Power Analysis) 法では、演算命令の違い、あるいは処理されているデータの違いにより生じる消費電流波形の違いから、暗号鍵や処理されているデータを解析し、DPA (Differential Power Analysis) 法では、消費電流波形を統計処理して暗号鍵を推定する。このDPA法では、例えばDESのある部分に仮定した暗号鍵をあてはめて、平文を変化させながら消費電流波形を測定して統計する。暗号鍵を様々に変化させながらこの作業を繰り返し、正しい鍵のときには電流波形が大きなピークを示す。

【0005】

前記公報に記載のようにTA (Timing Attack) 法のみを考慮した遅延処理では、実際の演算による消費電流の相関性までも喪失させることができず、上記のような消費電流波形を観測するというSPA又はDPA法のようなハッキング手法には対抗できない。そこで、本願発明者等においては、上記ICカード及びICカード等のようなモジュールに搭載されるマイクロコンピュータのように内蔵のプログラムにより一定のデータ処理動作を行うものに対して上記のような消費電流の観測による暗号処理の内容や暗号鍵の解読をより確実に防止することができる機密保護技術を開発するに至った。

【0006】

この発明の目的は、機密保護の強化を実現したICカードとマイクロコンピュータを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、外部端子がリードライト装置と電氣的に接続されることによって動作電圧が供給され、かつ、暗号化処理又は復号化処理を伴ったデータの入出力動作を含むICカードにおいて、上記暗号化処理又は復号化処理

に本来の処理動作に似た攪乱目的のダミー処理動作を含ませて内部回路の動作タイミング及び動作電流の画一化を行なうようにする。

【 0 0 0 8 】

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、暗号化処理又は復号化処理を伴ったデータの入出力動作を含むモジュール構成のマイクロコンピュータにおいて、上記暗号化処理又は復号化処理に本来の処理動作に似た攪乱目的のダミー処理動作を含ませて内部回路の動作タイミング及び動作電流の画一化を行なうようにする。

【 0 0 0 9 】

【発明の実施の形態】

図 1 には、この発明が適用される IC カードの一実施例の外観図が示されている。IC カードは、プラスチックケースからなるカード 1 0 1 と、かかるカード 1 0 1 の内部に搭載された図示しない 1 チップのマイクロコンピュータ等からなる IC カード用チップを持つものである。上記 IC カードは、さらに上記 IC カード用チップの外部端子に接続されている複数の接点（電極）1 0 2 を持つ。複数の接点 1 0 2 は、後で図 2 によって説明するような電源端子 V C C、電源基準電位端子 V S S、リセット入力端子 R E S ばー、クロック端子 C L K、データ端子 I / O - 1 / I R Q ばー、I / O - 2 / I R Q ばーとされる。IC カードは、かかる接点 1 0 2 を通して図示しないリーダーライタのような外部結合装置から電源供給を受け、また外部結合装置との間でのデータの通信を行う。

【 0 0 1 0 】

図 2 には、この発明に係る IC カードに搭載される IC カード用チップ（マイクロコンピュータ）の一実施例の概略ブロック図が示されている。同図の各回路ブロックは、公知の M O S 集積回路の製造技術により、特に制限されないが、単結晶シリコンのような 1 個の半導体基板上において形成される。

【 0 0 1 1 】

この発明に係る IC カード用チップの構成は、基本的にマイクロコンピュータと同じような構成である。その構成は、クロック生成回路 2 0 5、中央処理装置（以下単に C P U という場合がある）2 0 1、R O M (Read Only Memory) 2 0 6

や R A M (Random Access Memory) 2 0 7、不揮発性メモリ 2 0 8 などの記憶装置、暗号化及び復号化処理の演算を行なうコプロセッサ 2 0 9、入出力ポート (I/Oポート) 2 0 2 などからなる。

【 0 0 1 2 】

クロック生成回路 2 0 5 は、図示しないリーダライタ (外部結合装置) から図 1 の接点 1 0 2 を介して供給される外部クロック C L K を受け、かかる外部クロック信号に同期したシステムクロック信号を形成し、それをチップ内部に供給する回路である。C P U 2 0 1 は、論理演算や算術演算などを行う装置であり、システムコントロールロジック、乱数発生器及びセキュリティロジック及びタイマなどを制御する。記憶装置 2 0 6、2 0 7、2 0 8 は、プログラムやデータを格納する装置である。コプロセッサ 2 0 9 は、後述するように R S A 暗号法などに応用可能なべき乗剰余乗算動作を行なう演算器とレジスタ及び制御論理から構成される。I/O (入出力) ポート 2 0 2 は、リーダライタと通信を行う装置である。データバス 2 0 4 とアドレスバス 2 0 3 は、各装置を相互に接続するバスである。

【 0 0 1 3 】

上記記憶装置 2 0 6、2 0 7、2 0 8 のうち、R O M 2 0 6 は、記憶内容が不揮発的に固定されているメモリであり、主にプログラムを格納するメモリである。揮発性メモリ (以下、R A M という) 2 0 7 は自由に記憶情報の書き換えができるメモリであるが、電源の供給が中断されると、記憶している内容が消えてなくなる。I C カードがリーダライタから抜かれると電源の供給が中断されるため、R A M 2 0 7 の内容は、保持されなくなる。

【 0 0 1 4 】

上記不揮発性メモリ (以下、E E P R O M (Electrical Erasable Programmable Read Only Memory) という) 2 0 8 は、内容の書き換えが可能な不揮発性メモリであり、その中に一旦書き込まれた情報は、電源の供給が停止されてもその内部に保持される。この E E P R O M 2 0 8 は、書き換える必要があり、かつ I C カードがリーダライタから抜かれても保持すべきデータを格納するために使われる。例えば、I C カードがプリペイドカードとして使用されるような場合、のプ

リペイドの度数などは、使用するたびに書き換えられる。この場合の度数などは、リーダライタが抜かれてもICカード内で記憶保持する必要があるため、EEPROM208で保持される。

【0015】

CPU201は、いわゆるマイクロプロセッサと同様な構成にされる。すなわち、その詳細を図示しないけれども、その内部に命令レジスタ、命令レジスタに書込まれた命令をデコードし、各種のマイクロ命令ないしは制御信号を形成するマイクロ命令ROM、演算回路、汎用レジスタ（RG6等）、内部バスBUSに結合するバスドライバ、バスレシーバなどの入出力回路を持つ。CPU201は、ROM206などに格納されている命令を読み出し、その命令に対応する動作を行う。CPU201は、I/Oポート202を介して入力される外部データの取り込み、ROM206からの命令や命令実行のために必要となる固定データのようなデータの読み出し、RAM207やEEPROM208に対するデータの書き込みと読み出し動作制御等を行う。

【0016】

上記CPU201は、クロック生成回路205から発生されるシステムクロック信号を受けそのシステムクロック信号によって決められる動作タイミング、周期をもって動作される。CPU201は、その内部の主要部がPチャンネル型MOSFETとNチャンネル型MOSFETとからなるCMOS回路から構成される。特に制限されないが、CPU201は、CMOSスタティックフリップフロップのようなスタティック動作可能なCMOSスタテック回路と、信号出力ノードへの電荷のプリチャージと信号出力ノードへの信号出力とをシステムクロック信号に同期して行うようなCMOSダイナミック回路とを含む。

【0017】

ICカードのセキュリティ機能としては、チップ内部で乱数を自動生成する乱数発生器や、ランダムに割込みを生成するタイマー機能などの他に、本願発明にかかる高セキュリティ機能として、ICカードと外部装置とのデータ送受信の際に用いるRSA暗号法などに応用可能なべき乗剰余演算動作を行なう暗号処理用演算ユニット（コプロセッサ）209を内蔵している。このコプロセッサ209

は専用のレジスタが内蔵されている。

【 0 0 1 8 】

I C カードにおけるセキュリティ・システムでは、通信データの暗号処理は必須であり、この実施例でも現在最も多く利用されている公開鍵暗号として R S A 暗号が用いられる。この暗号法では、暗号化・復号化ともにべき乗剰余乗算 $X^Y \bmod N$ を用いるが、これは公知の Montgomery 法といわれる計算アルゴリズムによって剰余乗算 $A^2 \bmod N$ と $AB \bmod N$ の 2 つの形に分解することができる。つまり、 $Y = e_n e_{n-1} \cdots e_1$ の値 e_i を上位 e_n から最下位の e_1 まで順に 1 ビットずつ見ていき、 $e_i = 0$ だったら $A^2 \bmod N$ のみを、 $e_i = 1$ だったら $A^2 \bmod N$ と $AB \bmod N$ を演算する。したがって、 $e_i = 0$ のときには $A^2 \bmod N$ の演算の後に $i = 0$ であるかの判定処理が行なわれ、 $e_i = 1$ のときには $A^2 \bmod N$ と $AB \bmod N$ との演算の後に $i = 0$ であるかの判定処理が行なわれるために、 $e_i = 0$ と 1 とに対応した 2 通りの電流波形の形態が現れてしまう。

【 0 0 1 9 】

この実施例のようにコプロセッサ 2 0 9 を用いた場合には、その消費電流は C P U の消費電流に比べて比較的大きいため、この部分の電流波形を観測することによりコプロセッサの動作形態を比較的容易に識別することができ、前記 T A 法と S P A 法により暗号鍵 Y の値をハッキングされてしまう可能性が高い。そこで、この実施例のコプロセッサ 2 0 9 では、上記暗号化・復号化ともに用いられるべき乗剰余乗算 $X^Y \bmod N$ の演算を行なうに当たり攪乱目的のダミーの演算が挿入される。つまり、図 3 のタイミング図及び図 4 のフローチャート図に示すように $e_i = 0$ でも 1 でも $A^2 \bmod N$ と $AB \bmod N$ の両方の演算を常に行なうようにするものである。

【 0 0 2 0 】

図 3 のタイミング図において、(a) に示すように本来は、 $e_n = 1$ のときには $A^2 \bmod N$ の演算を行い、 e_n の判定の 1 により時間 t_1 を経て $AB \bmod N$ の演算を行い、その演算後に i をデクリメント ($n-1$) して $i = 0$ の判定に時間 t_2 を費やす。次いで、次ビット $e_{n-1} = 0$ のときは、 $A^2 \bmod N$ の演算

を行い、 $e_{n-1} = 0$ の判定と i をデクリメント($n-2$)して $i = 0$ の判定に時間 t_3 を費やす。そして、次ビット $e_{n-2} = 1$ のときには、 $A^2 \bmod N$ の演算を行い、 e_{n-2} の判定の1により時間 t_1 を経て $AB \bmod N$ の演算を行い、その演算後に i をデクリメント($n-3$)して $i = 0$ の判定に時間 t_2 を費やす。以下、同様に e_1 まで同様な動作を繰り返すものである。

【0021】

この実施例のコプロッサ209においては、上記暗号鍵 Y の各ビット e_i の論理0又は1に無関係に $A^2 \bmod N$ の演算の後に $AB \bmod N$ の演算を行なうようにする。図3(b)の $e_{n-1} = 0$ のときのように e_i が論理0のときにおける上記 $AB \bmod N$ の演算が攪乱目的のダミー演算として挿入される。つまり、(b)のタイミング図及び図4のフローチャート図のように、 $A^2 \bmod N$ と $AB \bmod N$ の演算動作の間には、例えば e_i の判定の判定を含む時間 t_1 が費やされ、 $AB \bmod N$ と次ビットに対応した $A^2 \bmod N$ の演算動作の間には、 i のデクリメント動作と $i = 0$ の判定時間 t_2 が費やされる画一化された動作タイミング及び動作電流とすることができる。ただし、この実施例では、 e_i の判定処理は、その結果が演算動作の分岐の条件とされないため図4のフローチャート図では省略されている。

【0022】

図5には、上記コプロセッサの一実施例のブロック図が示されている。この実施例では、主に演算器、制御論理、専用レジスタブロックより構成され、べき乗剰余演算の最終結果はデータバッファ、データバスを介して中央処理装置CPUに送信される。専用レジスタは、アドレスバスから供給されるアドレス信号に対応してその選択動作が行なわれる。

【0023】

この実施例では、内部バスMDBとレジスタブロックのリードライトバッファ(R/W Buffer)との間にゲート回路1が設けられる。このゲート回路1は、制御論理により制御が行なわれて、 e_i が論理0ならば $A^2 \bmod N$ 動作の演算結果が内部バスMDBとリードライトバッファを介して所定のレジスタCDAに取り込まれた後開いていたゲートが閉じるようにされる。つまり、上記演算結果

がリードライトバッファに取り込まれると、その後にゲートを閉じてしまいリードライトバッファへの新たなデータの書き込みを禁止する。したがって、その後に行なわれる $AB \bmod N$ の演算結果は無効データとして扱われることとなる。また、 e_i が論理 1 ならばゲート回路 1 はゲートを開いた状態のままとされる。

【 0 0 2 4 】

図 6 には、上記コプロセッサの他の一実施例のブロック図が示されている。この実施例では、レジスタブロックのリードライトバッファ (R/W Buffer) と各レジスタとの間にゲート回路 2 が設けられる。このゲート回路 2 は、前記同様に制御論理により制御が行なわれて、 e_i が論理 0 ならば $A^2 \bmod N$ 動作の演算結果が内部バス MDB とリードライトバッファとを介して所定のレジスタ CDA に書き込まれた後に開いていたゲートが閉じるようにされる。つまり、上記演算結果がレジスタ CDA に取り込まれると、その後にゲートを閉じてしまいかかるレジスタ CDA への新たなデータの書き込みを禁止する。したがって、その後に行なわれる $AB \bmod N$ の演算結果は、リードライトバッファまでは書き込まれるが、実際には無効データとして扱われることとなる。また、 e_i が論理 1 ならばゲート回路 2 はゲートを開いた状態のままとされる。

【 0 0 2 5 】

図 7 には、上記ゲート回路の一実施例の内部構成図が示されている。ダミー書き込み制御ユニットは、アンドゲート回路によって構成され、一方の入力には制御論理からのライトイネーブル信号が供給され、他方の入力には演算器で生成されたライトストロープ信号が供給される。上記ゲート回路の出力信号は、データバッファ (R/W Buffer) と専用レジスタにライトストロープ信号として伝えられる。

【 0 0 2 6 】

この実施例では、演算結果そのものの伝達制御するものに代えて、レジスタ又はデータバッファへの書き込み動作を指示するライトストロープ信号の発生タイミングを切り換えるようにするものである。つまり、 $e_i = 0$ のときには、 $A^2 \bmod N$ 動作の演算結果が出力された後にライトイネーブル信号をロウレベルとしてアンドゲート回路のゲートが閉じるようにするものである。逆に、 $e_i = 1$

のときには、制御論理はライトイネーブル信号をハイレベルのままとして、演算器で形成されたライトストロープ信号がそのままデータバッファ又は専用レジスタに伝えられる。この構成では、複数ビットからなる演算結果Aに対応して、複数個のゲート回路を設ける必要がないので簡素化が可能になる。

【 0 0 2 7 】

図8には、上記コプロセッサの他の一実施例のブロック図が示されている。この実施例では、レジスタブロックのリードライトバッファ (R/W Buffer) と各レジスタとの間にセクタ2とレジスタブロックにダミーレジスタ1が設けられる。このセクタ2は、前記同様に制御論理により制御が行なわれて、 e_i が論理0ならば $A^2 \bmod N$ 動作の演算結果が内部バスMDBとリードライトバッファとを介して所定のレジスタCDAに書き込まれるような信号経路を形成し、その後ダミーレジスタ1を選択するような信号経路を形成する。

【 0 0 2 8 】

つまり、上記演算結果がレジスタCDAに取り込まれると、その後ダミーレジスタ1を選択するので、レジスタCDAへの新たなデータの書き込みを禁止しつつその後に行なわれる $AB \bmod N$ の演算結果がダミーレジスタに書き込まれるものとなる。 e_i が論理1ならばセクタ2は常にレジスタCDAを選択する。この構成は、演算結果をレジスタに書き込む動作を含めて e_i が論理0のときと論理1のときとで電流波形で見たときに全く同一にすることができるから、電流波形を利用したアタックをより確実に無力化することができる。

【 0 0 2 9 】

図9には、この発明に係るコプロセッサの他の一実施例の動作を説明するための構成図が示されている。図9 (a) のタイミング図及び (b) のフローチャート図において、前記説明したように、 $A^2 \bmod N$ の演算後、 e_i の判定の時間 t_1 の間もダミー演算動作として $A^2 \bmod N$ を継続して $AB \bmod N$ の演算に移行する。

【 0 0 3 0 】

その演算後に i をデクリメント (-1) して $i = 0$ の判定に時間 t_2 を費やすが、その間も上記 $AB \bmod N$ の演算を継続させる。以下、同様に e_1 まで同様

な動作を繰り返すものである。この構成は、演算動作中は、 e_i が論理 0 と 1 のときに関係なく上記のような演算動作を継続するので、電流波形でみたときに格別な特徴を見出すことができないから、電流波形を利用したアタックを無力化することができる。

【 0 0 3 1 】

図 1 0 には、図 9 のコプロセッサの動作を実現するための一実施例のブロック図が示されている。制御論理では、ダミーイネーブル信号とコプロイネーブル信号を送出する。上記ダミーイネーブル信号とコプロイネーブル信号は、オアゲート回路を通して演算器に入力される。それ故、コプロイネーブル信号がアクティブであるときに加えて、ダミーイネーブル信号がアクティブであるときにも演算器は演算動作を行なうようにされる。

【 0 0 3 2 】

上記ダミーイネーブル信号は、インバータ回路を通してアンドゲート回路の一方の入力に供給され、かかるアンドゲート回路の他方の入力には演算器で形成されたライトストロープ信号が供給される。つまり、演算器で形成されたライトストロープ信号の伝達をダミーイネーブル信号で選択的に停止できるようにする。コプロイネーブル信号がアクティブにされて、前記正規の演算動作が終了すると、その演算結果を出力するためのライトストロープ信号が形成される。このようにコプロイネーブル信号がアクティブのときには、ダミーイネーブル信号の反転信号がアクティブレベルとなってアンドゲート回路のゲートを開くように制御するので、上記正規演算結果はライトストロープ信号によって、R/Wバッファ又はレジスタブロックの所定のレジスタに書き込まれる。

【 0 0 3 3 】

上記のような正規演算が終了すると、ダミーイネーブル信号がアクティブとなって演算器に対して演算動作を指示する。この演算の終了によって、上記ライトストロープ信号が形成されるが、上記ダミーイネーブル信号の反転信号によってアンドゲート回路がゲートを閉じているので、上記攪乱目的のダミー演算動作によって発生されたライトストロープ信号がR/Wバッファ又はレジスタブロックの所定のレジスタに伝えられることはない。これにより、攪乱目的のダミー演算

結果は無効データとして消失させられる。

【 0 0 3 4 】

図 1 1 には、この発明に係るコプロセッサの他の一実施例の動作を説明するためのタイミング図が示されている。前記図 3 に示した実施例のように、攪乱目的のダミー演算を挿入して、(a) のタイミング図のように、 e_i に対して画一化して $A^2 \bmod N$ と $AB \bmod N$ の演算を一对として行なうようにした場合でも、各演算には、演算結果にオーバーフロー処理を必要とするもの（あり）のものと、オーバーフロー処理を必要としないもの（なし）が発生する。

【 0 0 3 5 】

このようなオーバーフロー処理は、演算時間を長くするものであるので電流波形でみると、オーバーフロー処理ありとなしとの識別が可能になる。このような電流波形の特徴から演算内容や演算データを推測することも不可能ではないと考えられるため、この実施例では (b) のタイミング図に示すようにオーバーフロー処理を不要とする演算に対しても必要なときと同様にオーバーフロー処理を挿入する。つまり、みかけ上は、全ての演算 $A^2 \bmod N$ と $AB \bmod N$ の演算において画一的にオーバーフロー処理のための動作が実施されるために、その識別を無力化するものである。

【 0 0 3 6 】

図 1 2 は、この発明に係るコプロセッサの他の一実施例の動作を説明するためのフローチャート図が示されている。このフローチャート図は、前記図 1 1 (b) に対応している。 $A^2 \bmod N$ と $AB \bmod N$ の各演算は、剰余演算部とオーバーフロー演算部からなり、演算結果に無関係に上記オーバーフロー演算処理を実施するものである。

【 0 0 3 7 】

図 1 3 には、この発明に係るコプロセッサの他の一実施例の動作の詳細を説明するためのタイミング図が示されている。この実施例による対策前では、前記 $A^2 \bmod N$ と $AB \bmod N$ のようなコプロ演算においては、その演算結果に対応してオーバーフロー処理のあるものと無いもの 2 種類が存在したが、この実施例による対策後では、前記 $A^2 \bmod N$ と $AB \bmod N$ のようなコプロ演算におい

ては、その演算結果に無関係に常にオーバーフロー処理が実行される。このため、本来はオーバーフロー処理が不要な演算動作に対して実施されたオーバーフロー処理は、攪乱目的のダミー動作とされる。

【 0 0 3 8 】

図 1 4 には、図 1 1 ないし図 1 3 に示したコプロセッサの動作を実現するための一実施例のブロック図が示されている。制御論理では、ダミーオーバーフロー信号とコプロオーバーフロー信号を送出する。上記ダミーオーバーフロー信号とコプロオーバーフロー信号は、オアゲート回路を通して演算器に入力される。それ故、コプロオーバーフロー信号がアクティブであるときに加えて、ダミーオーバーフロー信号がアクティブであるときにも演算器はオーバーフロー処理動作を行なうようにされる。

【 0 0 3 9 】

上記コプロオーバーフロー信号は、アンドゲート回路の一方の入力に供給され、かかるアンドゲート回路の他方の入力に演算器で形成されたライトストロープ信号が供給される。つまり、演算器で形成されたライトストロープ信号の伝達をコプロオーバーフロー信号がアクティブレベルでないときに選択的に停止できるようにする。つまり、コプロオーバーフロー信号がアクティブレベルでないときはダミーオーバーフロー信号によって演算器がオーバーフロー処理を行なっているので、かかるオーバーフロー処理で形成されたライトストロープ信号は上記ゲート回路のゲートを閉じることによって無効にするものである。したがって、前記正規のオーバーフロー処理終了すると、その処理結果を出力するためのライトストロープ信号が形成されて、R/Wバッファ又はレジスタブロックの所定のレジスタに処理結果が書き込まれる。

【 0 0 4 0 】

これに対して、ダミーオーバーフロー信号がアクティブとなって演算器に対してオーバーフロー処理動作を指示した場合には、そのオーバーフロー処理によって形成されたライトストロープ信号は、上記コプロオーバーフロー信号によってアンドゲート回路のゲートが閉じられるものであるから、上記攪乱目的のダミーオーバーフロー処理動作によって発生されたライトストロープ信号がR/Wバッ

ファ又はレジスタブロックの所定のレジスタに伝えられることはない。これにより、攪乱目的のダミーオーバーフロー処理結果は無効データとして消失させられる。

【 0 0 4 1 】

図 1 5 には、この発明に係るコプロセッサの更に他の一実施例の動作を説明するためのタイミング図が示されている。(a)に示すように本来は、 $e_n = 1$ のときには $A^2 \bmod N$ の演算を行い、 e_n の判定の 1 により時間 t_1 を経て $AB \bmod N$ の演算を行い、その演算後に i をデクリメント ($n-1$) して $i=0$ の判定に時間 t_2 を費やす。次いで、次ビット $e_{n-1} = 0$ のときは、 $A^2 \bmod N$ の演算を行い、 $e_{n-1} = 0$ の判定と i をデクリメント ($n-2$) して $i=0$ の判定に時間 t_3 を費やすような演算動作に対して、上記各演算毎の時間 t_1 、 t_2 及び t_3 に対して攪乱目的のダミーサイクルが挿入される。

【 0 0 4 2 】

(b) のタイミング図では、上記攪乱目的のダミーサイクルの挿入は、各演算毎の時間を最も長い時間 t_3 に揃えるように挿入するものである。これにより、時間 t_3 をインターバルとして $A^2 \bmod N$ 又は $AB \bmod N$ のいずれかの演算が実施されるために、みかけ上は演算動作に対応した電流波形が画一化されてその識別を無力化するものである。これに対して、(c) タイミング図では、上記 (b) とは逆に上記演算毎のインターバルにおいて時間がランダムに変化する攪乱目的のダミーサイクルが挿入される。上記 $A^2 \bmod N$ 又は $AB \bmod N$ のいずれかの演算が時間的にランダムに実施される。そのため、電流波形でみると上記各演算動作と無関係で、かつ不規則性の電流値にされる。言い換えるならば、上記演算器において同じ状態及び同じ動作でも毎回異なるよう、統計的な観点での非再現性を持つようにされるために、その識別を無力化することができる。

【 0 0 4 3 】

上記のような攪乱目的のダミーサイクルは、前記図 2 に示されたようにタイマーを利用して演算間隔を可変にするものである。あるいはコプロセッサの外部にタイマーを設けて一定の時間が経過するまで次の演算の実行を待つようにする。つまり、コプロセッサによるべき乗剰余乗算の演算において、図 1 5 (a) に示

した前記各演算毎の時間 t_1 , t_2 , t_3 に攪乱目的のダミーのサイクルを挿入し、一定時間後にタイマーからの割込みを入れる。これにより、図 15 (b) に示すように t_1 , t_2 , t_3 の時間が全て一定となり、電流波形からのアタックを困難にする。あるいはタイマーには乱数発生器で生成した乱数をセットしておき、(c) に示すように毎回 t_1 , t_2 , t_3 の時間をランダムに変化させることも可能である。また、タイマーを用いなくても、ソフトウェアでカウントすることも可能である。

【0044】

べき乗剰余乗算において、コプロセッサによる演算の高速化を目的とし、 Y の値を 2 ビット、あるいは 3 ビットずつ処理するようにすると、例えば図 16 のフローチャート図に示すように、2 ビット処理の例で説明するなら常に $A^2 \bmod N - A^2 \bmod N - AB \bmod N$ 及び $i-2$ と $i=0?$ の各ステップの繰り返しになるので、前記 1 ビットずつ行なう場合のような攪乱目的のダミー演算を行わなくとも、処理時間や電流波形が一定になる。そのため、電流波形から Y の値を推定するのは困難になる。また演算の回数も、前記のバイナリ法だと最大で $2n$ 回かかっていたものを、2 ビット処理だと常に $1.5n$ 回で済むために、動作時間の短縮にもつながる。

【0045】

コプロセッサの演算が開始するまでに A , B , N の値をそれぞれコプロセッサ専用レジスタに転送し格納しておく。しかしながら、2 ビット処理を行う場合、 Y の値によって 4 通りの B の値 B_1 , B_2 , B_3 , B_4 が必要になり、これらの値は前もって計算して、RAM や EEPROM などに格納しておき、毎回コプロセッサ専用レジスタに転送することになるが。この際、4 通りの B の値によって転送中の電流波形に特徴が現れる可能性がある。

【0046】

例えば、16 ビットのプリチャージバスにデータを転送する場合を考える。プリチャージバスは、データ転送の前にすべてのバスの値を“1”にそろえるバスである。このバスに、値は違うが“1”のビットの数が同じデータ、例えば、“1”のビットの数が 2 である 16 進数で“88”と“11”、を転送した場合、

電流波形はほぼ同じ波形になると予測される。この理由は、“1”から“0”へ変化したビットの数が同じであるため、同じように電流を消費し、同じ電流波形になるからである。

【0047】

もし、“1”のビットの数が1つ異なるデータ、例えば、“1”のビットの数が3である“89”や“19”を転送した場合、“1”のビットの数が2のデータとは消費電流が異なる。これは、13ビット分バスの値が“1”から“0”に変わったため、その分の電流が消費される。そのため、先の14ビットが変化したデータに比べて消費電流が1ビット分小さくなる。一般に、変化するビットの数が多ほど電流波形は高くなるという規則性がある。この規則性から転送されているデータを推定することができると思われる、電流アタックの対象となりやすい。これを防ぐため次のような工夫を行なうものである。

【0048】

図17と図18には、この発明に係るコプロセッサの他の一実施例のブロック図がそれぞれ示されている。この実施例のコプロセッサは、2ビット処理と3ビット処理向けられている。つまり、コプロセッサのレジスタ容量を増やして、2ビット処理の場合には4通りのBの値 $B_1 \sim B_4$ を、3ビット処理の場合には8通りのBの値 $B_1 \sim B_8$ をコプロセッサのレジスタに格納しておく。従って、演算の途中で記憶回路(RAM)からデータバスを通して上記コプロセッサのレジスタに前記のような転送の必要がなくなり、前記電流アタックに対して防御することができる。

【0049】

つまり、前記図16に示したようなフローチャート図において、コプロセッサが $AB \bmod N$ を実行する際、下記のように4つ（3ビット処理のときにはあるいは8つ）のうちの正しいBレジスタCDBから値を選んで実行できるように、Yの2ビット（あるいは3ビット）の値をコプロセッサの制御レジスタ(CCNT)のビットに当てはめ、次に示す制御レジスタ及び演算の種類のように、2ビット処理の場合には、 $AB_1 \bmod N$ 、 $AB_2 \bmod N$ 、 $AB_3 \bmod N$ 、 $AB_4 \bmod N$ のうちどの演算をするかを選択させるようにする。

【0050】

制御用レジスタ (CCNT)

ビット7	ビット6		ビット2	ビット1	ビット0
—	—		e_i	e_{i-1}

【0051】

演算の種類

ビット2	e_i	e_{i-1}	演算の種類
0	0	0	$A \leftarrow A^2 \bmod N$
0	1	0	$A \leftarrow A \bmod N$
0	1	1	$A \leftarrow A \times N$
1	0	0	$A \leftarrow AB_1 \bmod N$
1	0	1	$A \leftarrow AB_2 \bmod N$
1	1	0	$A \leftarrow AB_3 \bmod N$
1	1	1	$A \leftarrow AB_4 \bmod N$

【0052】

図19には、この発明に係るコプロセッサの他の一実施例のブロック図が示されている。この実施例のコプロセッサも、2ビット処理や3ビット処理のような複数ビット処理に向けられている。この実施例では、データバスにスイッチを設けて演算をしながら転送できるようにする。この構成により、コプロセッサのレジスタ容量を増加させることなく、実行時間の短縮と電流アタック対策の両方に効果的である。

【0053】

コプロセッサ専用レジスタ (CDA, CDB, CDN, CDW) は、同図に示すように4つのレジスタがCPUとコプロセッサの演算器との間で排他的に使用

されている。2ビット処理を行う場合、2回の $A^2 \bmod N$ を行いながらその間にBの値をRAMからコプロセッサ専用レジスタユニット中のBレジスタCDBに転送できるようにすると効率的である。

【0054】

コプロセッサのAレジスタCDAとBレジスタCDBのI/Oを分け、それぞれにリード／ライトバッファ (R/W Buffer) を設けて、それぞれ独立に動作できるようにする。演算器が $A^2 \bmod N$ を演算している間は、制御信号によりデータバスをパス1 (path 1) につなぎ、図示しないCPUのRAMからBの値を上記独立に設けられたリード／ライトバッファを介してBレジスタCDBに転送する。次に演算器が $AB \bmod N$ を実行する際には、制御信号によりパス2 (path 2) に切り換え、上記BレジスタのB値を演算器に送り上記CPUがBレジスタCDBにアクセスできないようにする。この方法を取ると、 $A^2 \bmod N$ を演算動作と、B値の転送動作が同時に行なわれるから演算時間が短縮されるだけでなく、演算と転送の消費電流が重なるため双方の波形が識別できなくなり、電流アタック対策に有効である。

【0055】

図20には、この発明に係るICカード用チップの他の一実施例の要部ブロック図が示されている。この実施例では、暗号処理用演算ユニットとメモリ (RAM) 間の転送の際、メモリにカウンタを設けるようにするものである。この実施例では、2ビット処理に用いる4通りの値、あるいは3ビット処理に用いる8通りの値をコプロセッサ外部メモリRAMからコプロセッサ専用レジスタユニット中のBレジスタCDBに転送する際の電流攪乱を行なうようにするものである。

【0056】

この実施例では、前記図2に示したようなICカード用チップにおいて、RAMの側にカウンタが設けられる。RAMは、カウンタで形成されたアドレス信号をデコードしてデータをデータバスに送出する。このとき、アドレスバスには、乱数発生器が形成された偽アドレスが送出される。これにより、アドレスとデータとの相関が無くなり、電流解析を無力化させることができる。

【0057】

図 2 1 には、上記カウンタの一実施例のブロック図が示されている。カウンタは、転送したいブロックの最初のアドレスを保持する先頭アドレスレジスタとインクリメンタを用い、ブロック転送をイネーブルにするイネーブル信号とクロック又はリード／ライト信号などによるインクリメント指示信号で制御する。ブロック転送を開始する際、まず転送の先頭アドレスと転送開始のイネーブル信号が CPU よりカウンタに送信され、上記先頭アドレスレジスタに保持される。その後は、インクリメント指示信号によって、インクリメンタが動作して先頭アドレスレジスタの先頭アドレス $A + 1$ を形成して、アドレスを生成するとともに上記先頭アドレスレジスタの内容を書き換えるので、図 2 2 のタイミング図に示すように、RAM アドレスが順番にインクリメント A 、 $A + 1$ 、 $A + 2$ 、 \dots されていき、そのアドレスに従って順次データ D_A 、 D_{A+1} 、 D_{A+2} \dots が書込まれ／読み出される。

【 0 0 5 8 】

この実施例では、ブロック転送がイネーブルになった後はアドレスバスからのアドレスをカウンタが受け付けないため、アドレスバスにどのような値が来ようとデータは正しく読み出されていく。従って、アドレスバスに乱数発生器などで生成した乱数 B 、 C 、 D 、 $E \dots$ が出力されるとアドレスバスの消費電流を攪乱でき、この効果からチップ全体の消費電流を攪乱できるため、チップ内部動作の解析を困難にすることが可能になる。

【 0 0 5 9 】

図 2 3 には、この発明に係る IC カード用チップの更に他の一実施例を示す要部ブロック図が示されている。この実施例でも、暗号処理用演算ユニットとメモリ (RAM) 間の転送の際、メモリにカウンタを設けるようにするものだが、かかる暗号処理用演算ユニットとメモリ RAM の最初のアドレスをも攪乱するようアドレスオフセット機能が設けられる。つまり、乱数発生器などで生成した乱数をあらかじめ CPU とカウンタ側に同時に転送しておき、ブロック転送の最初のアドレスに乱数を加えるか又は引くかした値をアドレスバスに出力する。カウンタ側ではアドレスバスの値を同じ乱数を用いて復号化し、最初のアドレスを得る。

【 0 0 6 0 】

図 2 4 には、上記転送動作を説明するためのタイミング図が示されている。乱数発生器で形成された乱数をあらかじめ CPU と RAM に転送しておき、オフセット演算部 1 によりブロック転送の最初のアドレス A に乱数 S を加えるか引くかしたアドレス $A \pm S$ をアドレスバスに送出する。カウンタ側では、アドレスバスの値を同じ乱数 S を用いて復号化し、オフセット演算部 2 により最初のアドレス A を得て、以後前記同様にインクリメントしてアドレス $A + 1$ 、 $A + 2 \cdots$ を生成する。このようなアドレス $A + 1$ 、 $A + 2$ に同期して、乱数発生器が乱数 B、C、D \cdots をアドレスバスに送出するので、先頭のアдресを含めてアドレスバスの消費電流を攪乱でき、チップ内部動作の解析をいっそう困難にすることが可能になる。

【 0 0 6 1 】

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 外部端子がリードライト装置と電気的に接続されることによって動作電圧が供給され、かつ、暗号化処理又は復号化処理を伴ったデータの入出力動作を含む IC カードにおいて、上記暗号化処理又は復号化処理に本来の処理動作に似た攪乱目的のダミー処理動作を含ませて内部回路の動作タイミング及び動作電流の画一化を行なうようにすることによって、電流波形を利用したアタックを確実に無力化することができるという効果が得られる。

【 0 0 6 2 】

(2) 上記に加えて、上記暗号化処理又は復号化処理は、RSA 暗号法などに応用可能なべき乗剰乗算動作を含むようにすることにより、機密保護の強化を実現した IC カードを得ることができるという効果が得られる。

【 0 0 6 3 】

(3) 上記に加えて、上記べき乗剰乗演算動作を中央処理装置からの指示を受けて動作する暗号処理用演算ユニットにより行わせることにより、高速なデータ処理を行なうようにすることができるという効果が得られる。

【 0 0 6 4 】

(4) 上記に加えて、上記暗号化処理用演算ユニットの動作として、入力され

たX、Y及びNを受け、 $A=1$ 、 $B=X$ として、 $A=A^2 \bmod N$ と $A=AB \bmod N$ の演算を交互行ない、かかる演算においてYの上位から1ビットずつみて、論理0であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとして記憶回路に取り込み、論理1であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとして記憶回路に取り込むものとし、上記論理0のときの $A=AB \bmod N$ の演算動作を上記攪乱目的のダミー処理動作とすることにより、暗号処理を行いつつ電流波形を利用したアタックを確実に無力化することができるという効果が得られる。

【0065】

(5) 上記に加えて、上記記憶回路をリードライトバッファを通してデータの入出力が行なわれる複数のレジスタからなるレジスタブロックを用い、上記Yの特定ビット e_i の論理1又は0によってゲート回路を制御し、所定のレジスタに供給されるライトストロープ信号の伝達を制御して、上記演算結果のうち有効なデータのみがリードライトバッファを通して上記所定のレジスタに格納することにより、暗号処理を行いつつ電流波形を利用したアタックを確実に無力化することができるという効果が得られる。

【0066】

(6) 上記に加えて、上記記憶回路をリードライトバッファを通してデータの入出力が行なわれる複数のレジスタとからなるレジスタブロックを用い、上記Yの特定ビット e_i の論理1又は0によってゲート回路を制御し、上記リードライトバッファに供給されるライトストロープ信号の伝達を制御して、上記演算結果のうち有効なデータのみがリードライトバッファを通して上記所定のレジスタに格納することにより、暗号処理を行いつつ電流波形を利用したアタックを確実に無力化することができるという効果が得られる。

【0067】

(7) 上記に加えて、上記記憶回路をリードライトバッファを通してデータの入出力が行なわれる複数のレジスタ及びダミーレジスタとからなるレジスタブロックを用い、上記リードライトバッファと上記ダミーレジスタ及び複数のレジスタとの間セレクトを設けて上記Yの特定ビット e_i の論理1又は0によって制御

して、リードライトバッファに書き込まれた演算結果のうち有効なデータを所定のレジスタに格納し、無効なデータが上記ダミーレジスタに格納することにより、暗号処理を行いつつ電流波形を利用したアタックをよりいっそう確実に無力化することができるという効果が得られる。

【0068】

(8) 上記に加えて、上記暗号化処理用演算ユニットの動作として、入力されたX、Y及びNを受け、 $A = 1$ 、 $B = X$ として、 $A = A^2 \bmod N$ と $A = AB \bmod N$ の演算を交互行ない、かかる演算においてYの上位から1ビットずつみて、論理0であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとしてその出力タイミングで記憶回路に取り込み、論理1であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとしてその出力タイミングで記憶回路に取り込むものであり、上記 $A = A^2 \bmod N$ の演算結果が出力されてから上記 $A = AB \bmod N$ の演算が開始されるまでの間も上記 $A = A^2 \bmod N$ の動作を継続し、 $A = AB \bmod N$ の演算結果が出力されてからYのビットの変更判定処理を含めて次のビットに対応した $A^2 \bmod N$ の演算が開始されるまでの間も上記 $A = AB \bmod N$ の動作を継続することにより、暗号処理を行いつつ電流波形を利用したアタックをよりいっそう確実に無力化することができるという効果が得られる。

【0069】

(9) 上記に加えて、上記暗号化処理用演算ユニットの動作として、入力されたX、Y及びNを受け、 $A = 1$ 、 $B = X$ として、 $A = A^2 \bmod N$ と $A = AB \bmod N$ の演算とそれぞれに対してオーバーフロー演算行ない、かかる演算においてYの上位から1ビットずつみて、論理0であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとして記憶回路に取り込み、論理1であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとして記憶回路に取り込むものであり、上記論理0のときの $A = AB \bmod N$ の演算動作と、各演算動作での不要なオーバーフロー演算を上記攪乱目的のダミー処理動作とすることにより、暗号処理を行いつつ電流波形を利用したアタックをよりいっそう確実に無力化することができるという効果が得られる。

【0070】

(10) 外部端子がリードライト装置と電氣的に接続されることによって動作電圧が供給され、かつ、暗号化処理又は復号化処理を伴ってデータの入出力動作が行われる IC カードに、上記暗号化処理又は復号化処理に攪乱目的のダミー演算を含ませて内部回路の動作タイミング及び動作電流に不規則性を持たせることにより、暗号処理を行いつつ電流波形を利用したアタックをよりいっそう確実に無力化した IC カードを得ることができるという効果が得られる。

【 0 0 7 1 】

(11) 外部端子がリードライト装置と電氣的に接続されることによって動作電圧が供給され、かつ、暗号化処理又は復号化処理を伴ってデータの入出力動作が行われる IC カードに、上記暗号化処理又は復号化処理における各演算の間隔に攪乱目的のダミーサイクルを含ませて内部回路の動作タイミング及び動作電流に不規則性を持たせることにより、暗号処理を行いつつ電流波形を利用したアタックをよりいっそう確実に無力化した IC カードを得ることができるという効果が得られる。

【 0 0 7 2 】

(12) 暗号化処理又は復号化処理を伴ったデータの入出力動作を含むモジュール構成のマイクロコンピュータにおいて、上記暗号化処理又は復号化処理に攪乱目的のダミー処理動作を含ませて内部回路の動作タイミング及び動作電流の画一化を行なうようにすることにより、モジュール化されたマイクロコンピュータに対する電流波形を利用したアタックを確実に無力化することができるという効果が得られる。

【 0 0 7 3 】

(13) 上記に加えて、上記マイクロコンピュータのモジュール構成を 1 つの半導体基板上において形成することにより、小型化を図りつつ電流波形以外の直接的なプログラム又はデータ等のハッキングも防止することができるという効果が得られる。

【 0 0 7 4 】

(14) 上記に加えて、上記マイクロコンピュータの暗号化処理又は復号化処理を、RSA 暗号法などに応用可能なべき乗剰余乗算動作を含むものとし、上記

べき乗剰余乗算動作を中央処理装置からの指示を受けて動作する暗号処理用演算ユニットにより行なうようにすることにより、高速な暗号処理動作を行なうようにすることができるという効果が得られる。

【 0 0 7 5 】

(15) 上記に加えて、上記マイクロコンピュータの暗号化処理用演算ユニットの動作として、入力されたX、Y及びNを受け、 $A = 1$ 、 $B = X$ として、 $A = A^2 \bmod N$ と $A = AB \bmod N$ の演算を交互に行ない、かかる演算においてYの上位から1ビットずつみて、論理0であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとして記憶回路に取り込み、論理1であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとして記憶回路に取り込むものとし、上記論理0のときの $A = AB \bmod N$ の演算動作を上記攪乱目的のダミー処理動作とすることにより、暗号処理を行いつつ電流波形を利用したアタックを確実に無力化することができるという効果が得られる。

【 0 0 7 6 】

(16) 上記に加えて、上記マイクロコンピュータの暗号化処理用演算ユニットの動作として、入力されたX、Y及びNを受け、 $A = 1$ 、 $B = X$ として、 $A = A^2 \bmod N$ と $A = AB \bmod N$ の演算を交互に行ない、かかる演算においてYの上位から1ビットずつみて、論理0であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとしてその出力タイミングで記憶回路に取り込み、論理1であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとしてその出力タイミングで記憶回路に取り込むものであり、上記 $A = A^2 \bmod N$ の演算結果が出力されてから上記 $A = AB \bmod N$ の演算が開始されるまでの間も上記 $A = A^2 \bmod N$ の動作を継続し、 $A = AB \bmod N$ の演算結果が出力されてからYのビットの変更判定処理を含めて次のビットに対応した $A^2 \bmod N$ の演算が開始されるまでの間も上記 $A = AB \bmod N$ の動作を継続することにより、暗号処理を行いつつ電流波形を利用したアタックを確実に無力化することができるという効果が得られる。

(17) 上記に加えて、上記マイクロコンピュータの暗号化処理用演算ユニットの動作として、入力されたX、Y及びNを受け、 $A = 1$ 、 $B = X$ として、 $A =$

$A^2 \bmod N$ と $A = AB \bmod N$ の演算とそれぞれに対してオーバーフロー演算行ない、かかる演算においてYの上位から1ビットずつみて、論理0であれば上記 $A^2 \bmod N$ の演算結果を有効なデータとして記憶回路に取り込み、論理1であれば上記 $A^2 \bmod N$ と $AB \bmod N$ の演算結果を有効なデータとして記憶回路に取り込むものであり、上記論理0のときの $A = AB \bmod N$ の演算動作と、各演算動作での不要なオーバーフロー演算を上記攪乱目的のダミー処理動作とすることにより、暗号処理を行いつつ電流波形を利用したアタックを確実に無力化することができるという効果が得られる。

【 0 0 7 7 】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ICカードには、1つの半導体集積回路装置を搭載するもの他、複数の半導体集積回路装置が搭載されるものであってもよい。マイクロコンピュータは、1つの半導体集積回路装置に形成されるもの他、CPUとその周辺回路が複数チップで構成されて、1つのモジュール基板に搭載されてなるものであってもよい。

【 0 0 7 8 】

演算処理は前記のような暗号処理を行なうべき乗剰余乗算法の他に、図25図に示したフロチャート図のように演算Aと演算Bを持ち、演算Aの結果により演算Bを行なうか否かの分岐を持つような演算処理に広く利用することができる。つまり、演算Aの次に演算Bを実行し、演算Aの結果から演算Bが不要なら、その演算結果を無効にするような演算処理を行なえば、前記のような暗号処理以外の機密動作を必要とするデータ処理のハッキング対策として有益なものとなる。

【 0 0 7 9 】

上記マイクロコンピュータは、データ処理装置とかかるデータ処理装置によるデータ処理手順が書き込まれたROMを含んで記データ処理手順に従ってデータの入出力動作が行われるものであれば何であっててもよい。例えば、前記のようなICカード用チップの他に、ゲーム用等の1チップマイクロコンピュータ等のように機密保護の必要な各種マイクロコンピュータに広く適用できるものである。

この発明は、機密保護を必要とする各種 I C カード及びマイクロコンピュータに広く利用できる。

【 0 0 8 0 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、外部端子がリードライト装置と電氣的に接続されることによって動作電圧が供給され、かつ、暗号化処理又は復号化処理を伴ったデータの入出力動作を含む I C カードにおいて、上記暗号化処理又は復号化処理に攪乱目的のダミー処理動作を含ませて内部回路の動作タイミング及び動作電流の画一化を行なうようにすることによって、電流波形を利用したアタックを確実に無力化することができる。

【 0 0 8 1 】

暗号化処理又は復号化処理を伴ったデータの入出力動作を含むモジュール構成のマイクロコンピュータにおいて、上記暗号化処理又は復号化処理に攪乱目的のダミー処理動作を含ませて内部回路の動作タイミング及び動作電流の画一化を行なうようにすることにより、モジュール化されたマイクロコンピュータに対する電流波形を利用したアタックを確実に無力化することができる。

【図面の簡単な説明】

【図 1】

この発明が適用される I C カードの一実施例を示す外観図である。

【図 2】

この発明に係る I C カードに搭載される I C カード用チップの一実施例を示す概略ブロック図である。

【図 3】

この発明に係るコプロセッサの一実施例の動作を説明するためのタイミング図である。

【図 4】

図 3 のコプロセッサの動作を説明するためのフローチャート図である。

【図 5】

図 3 のコプロセッサの一実施例を示すブロック図である。

【図 6】

図 3 に示したコプロセッサの動作を実現するための一実施例を示すブロック図である。

【図 7】

図 3 のコプロセッサの他の一実施例を示すブロック図である。

【図 8】

図 3 のコプロセッサの他の一実施例を示すブロック図である。

【図 9】

この発明に係るコプロセッサの他の一実施例の動作を説明するための構成図である。

【図 1 0】

図 9 に示したコプロセッサの動作を実現するための一実施例を示すブロック図である。

【図 1 1】

この発明に係るコプロセッサの他の一実施例の動作を説明するためのタイミング図である。

【図 1 2】

この発明に係るコプロセッサの他の一実施例の動作を説明するためのフローチャート図である。

【図 1 3】

この発明に係るコプロセッサの他の一実施例の動作の詳細を説明するためのタイミング図である。

【図 1 4】

図 1 1 ないし図 1 3 に示したコプロセッサの動作を実現するための一実施例を示すブロック図である。

【図 1 5】

この発明に係るコプロセッサの更に他の一実施例の動作を説明するためのタイミング図である。

【図 1 6】

この発明に係るコプロセッサの演算動作の他の一実施例を示すフローチャート図である。

【図 1 7】

この発明に係るコプロセッサの他の一実施例を示すブロック図である。

【図 1 8】

この発明に係るコプロセッサの他の一実施例を示すブロック図である。

【図 1 9】

この発明に係るコプロセッサの他の一実施例を示すブロック図である。

【図 2 0】

この発明に係る I C カード用チップの他の一実施例を示す要部ブロック図である。

【図 2 1】

図 2 0 のカウンタの一実施例を示すブロック図である。

【図 2 2】

図 2 0 の I C カード用チップの動作の一例を示すタイミング図である。

【図 2 3】

この発明に係る I C カード用チップの更に他の一実施例を示す要部ブロック図である。

【図 2 4】

図 2 3 の I C カード用チップの動作の一例を示すタイミング図である。

【図 2 5】

この発明が適用可能な演算動作を説明するためのフローチャート図である。

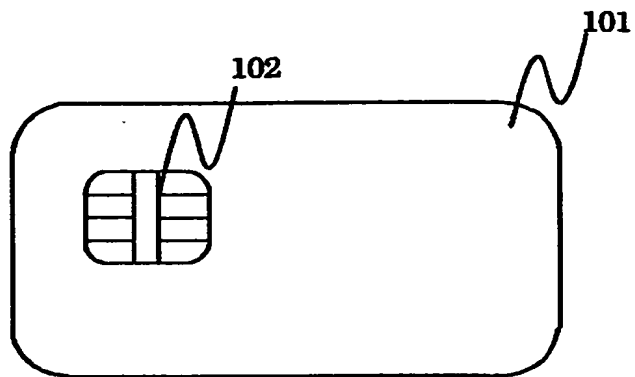
【符号の説明】

2 0 1 … 中央処理装置 (C P U) 、 2 0 2 … I / O ポート、 2 0 3 … アドレスバス、 2 0 4 … データバス、 2 0 5 … クロック生成回路、 2 0 6 … R O M 、 2 0 7 … R A M 、 2 0 8 … E E P R O M 、 2 0 9 … コプロセッサ (暗号化処理用演算ユニット) 、

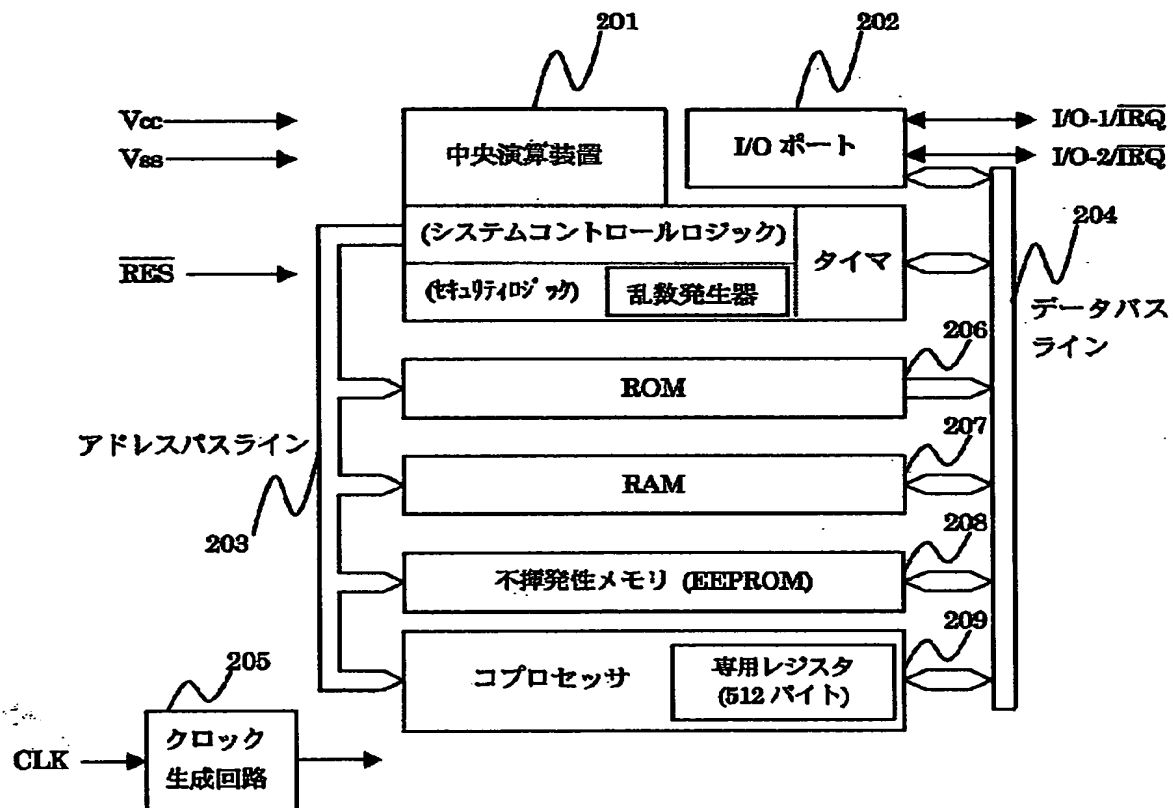
C D A 、 C D B 、 C D N 、 C D W … レジスタ。

【書類名】 図面

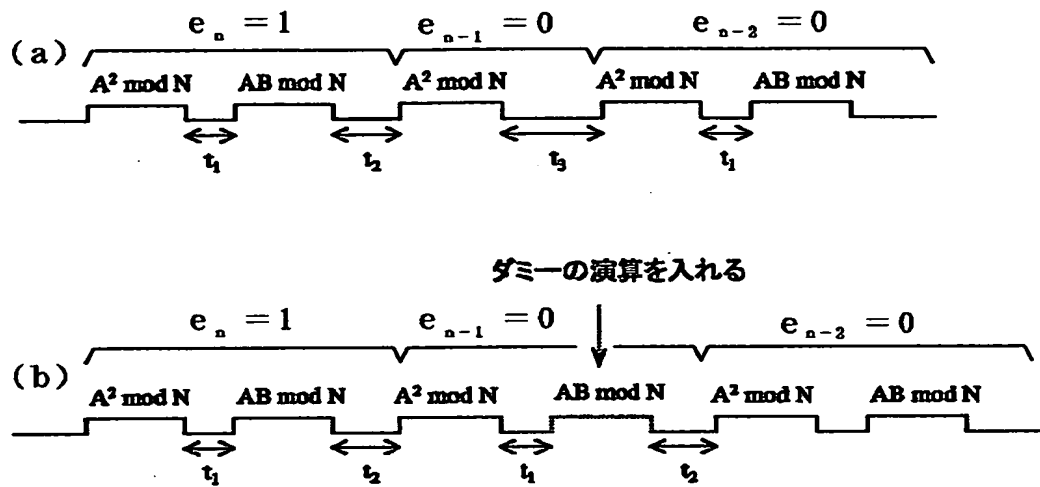
【図 1】



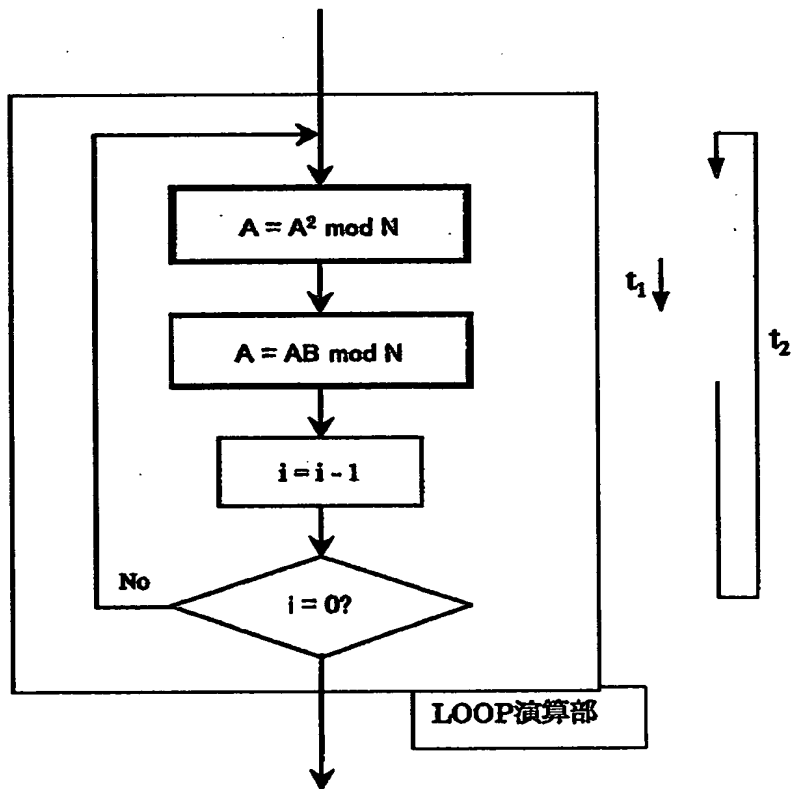
【図 2】



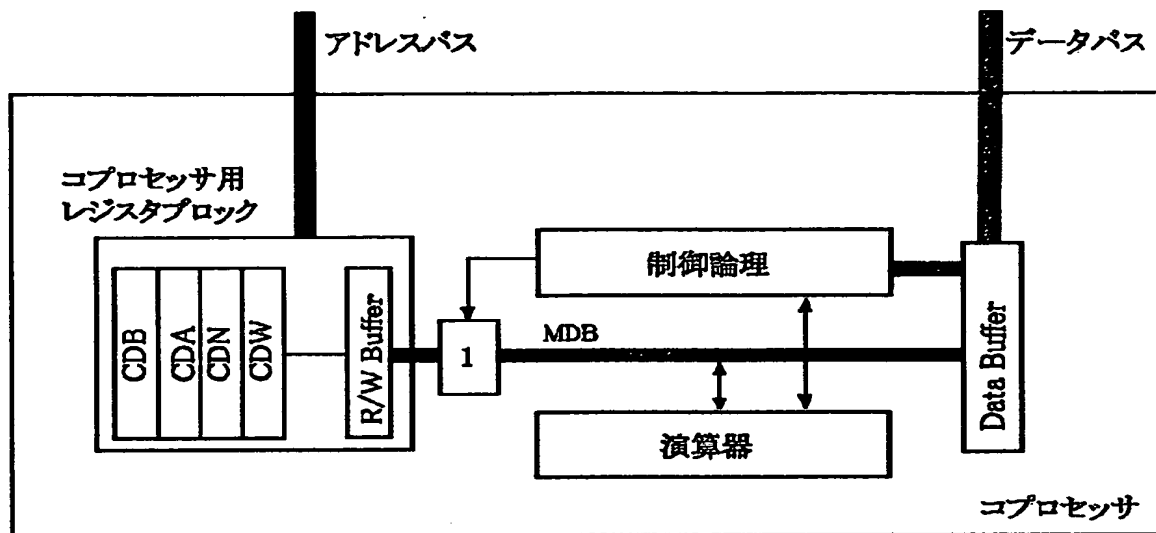
【図 3】



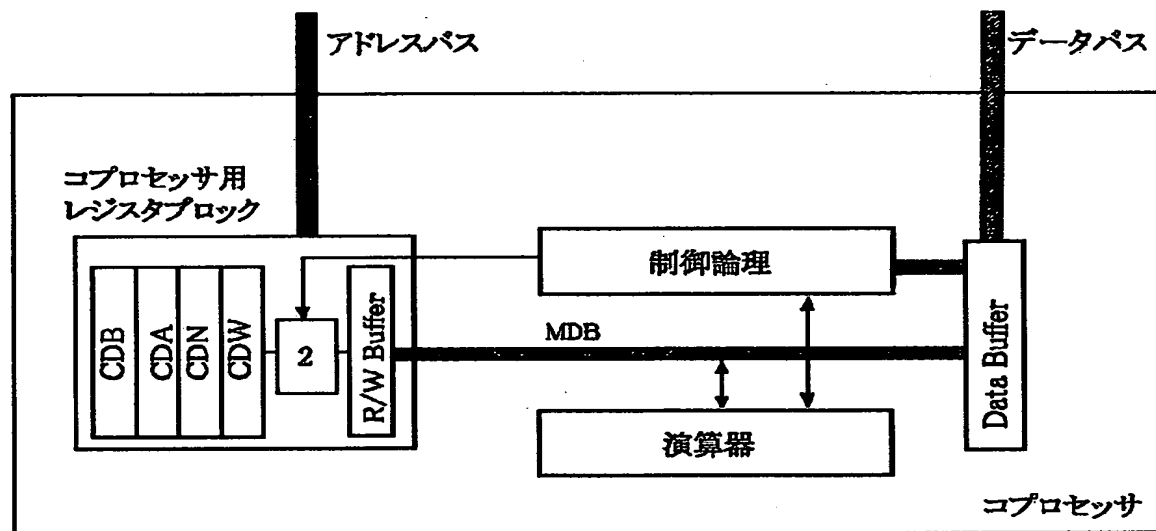
【図 4】



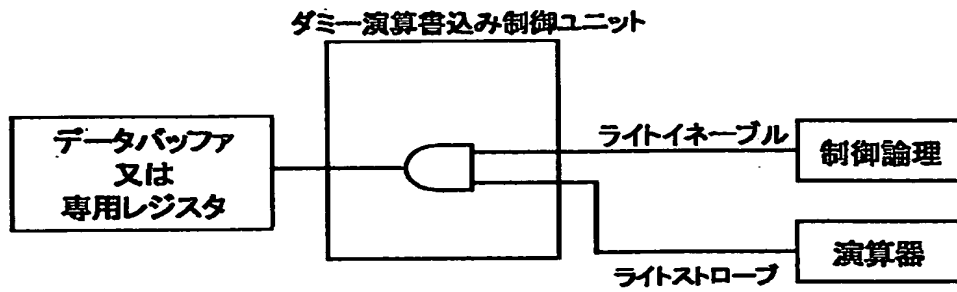
【図 5】



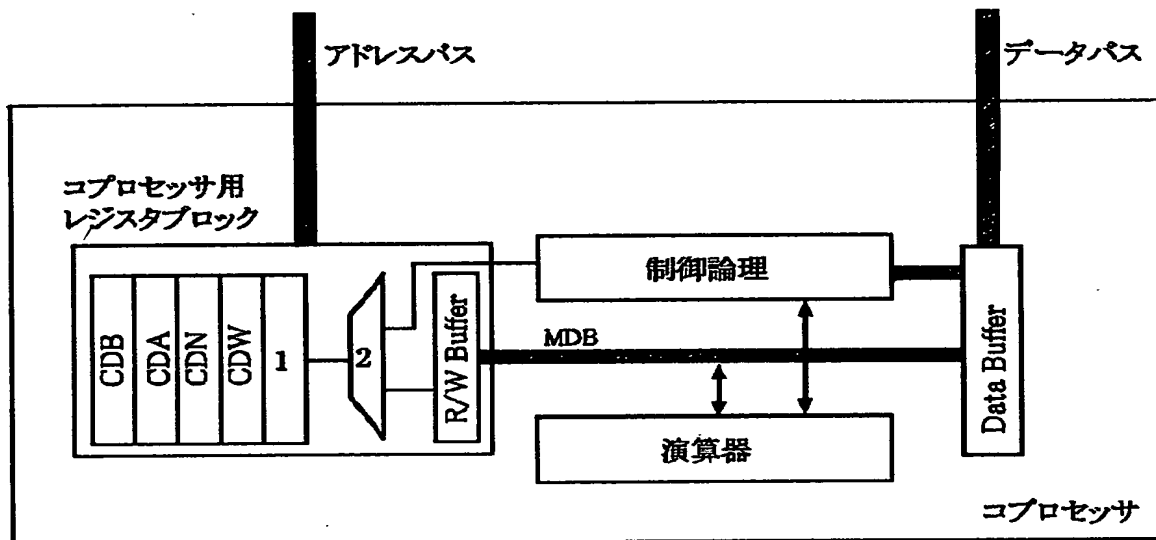
【図 6】



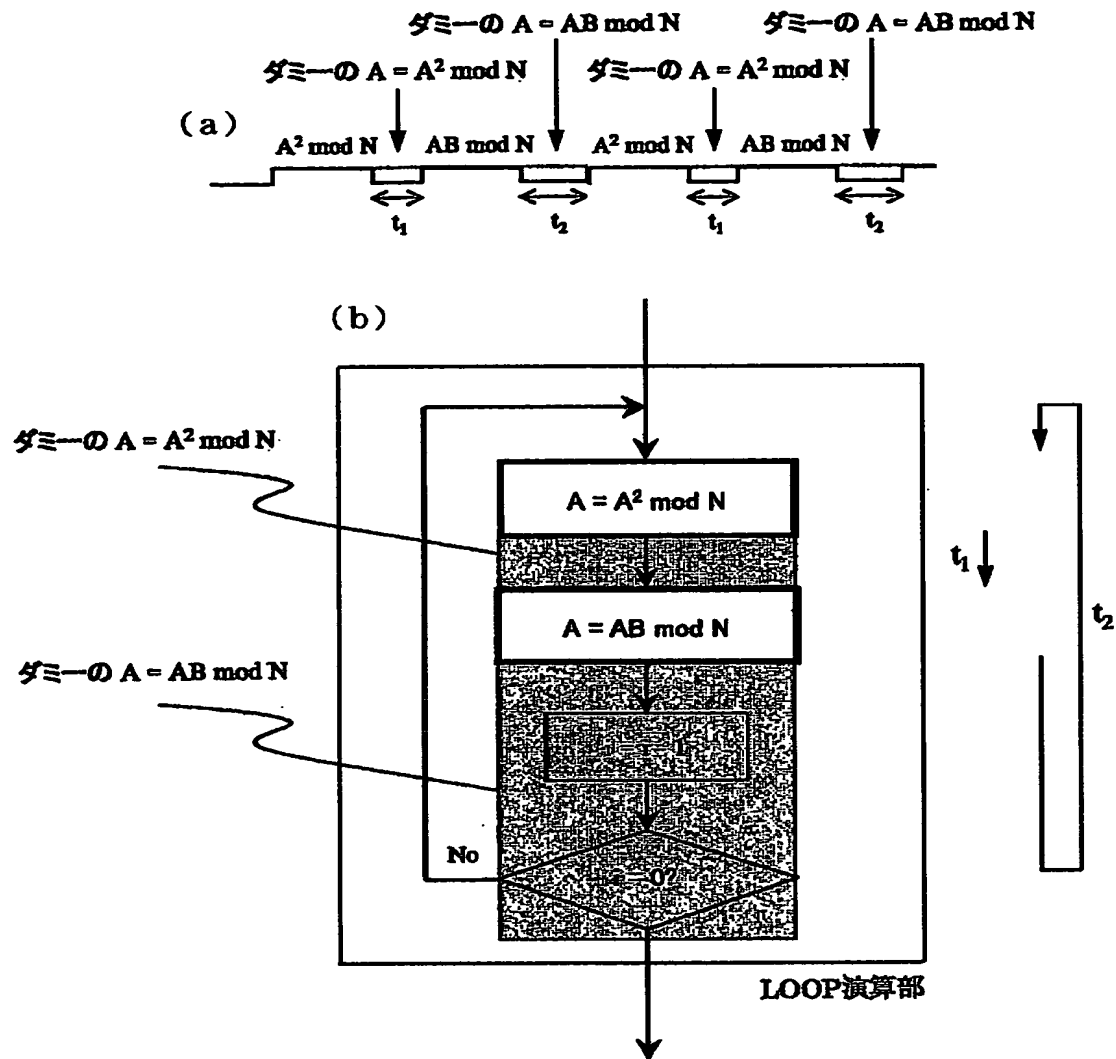
【図 7】



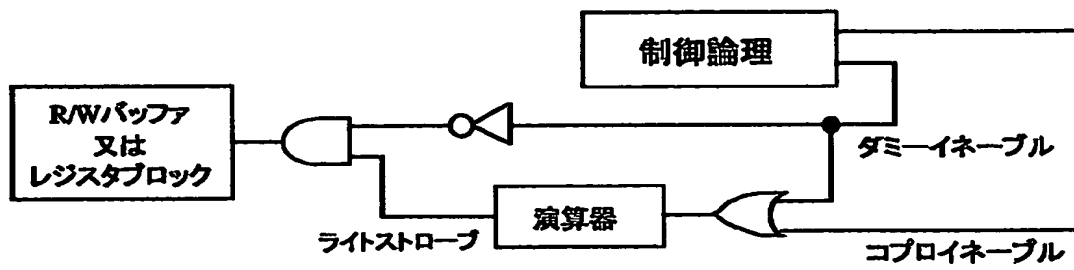
【図 8】



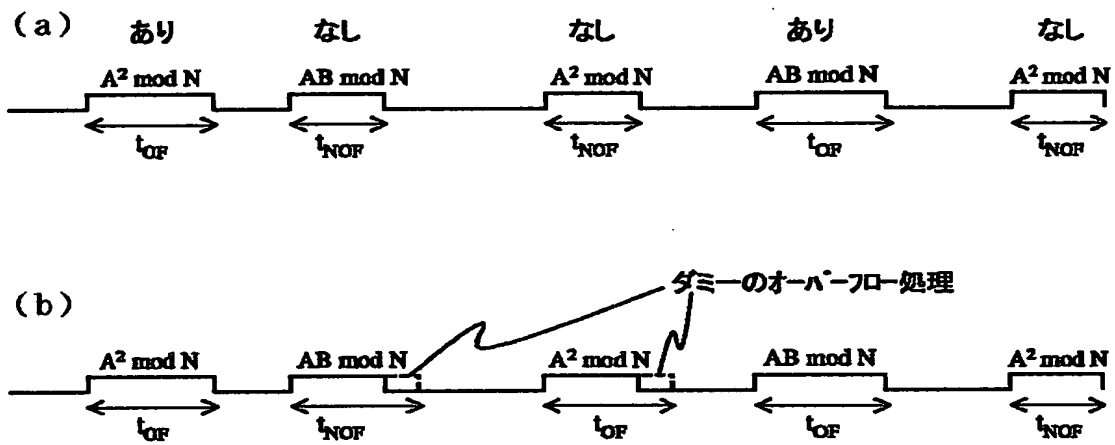
【図9】



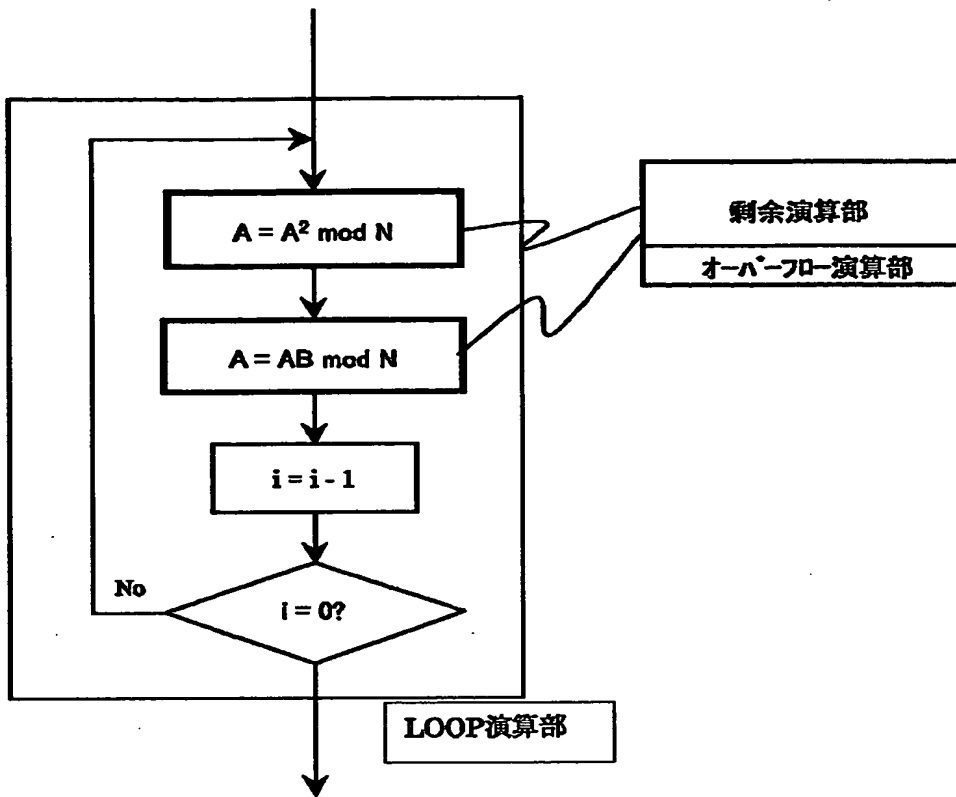
【図10】



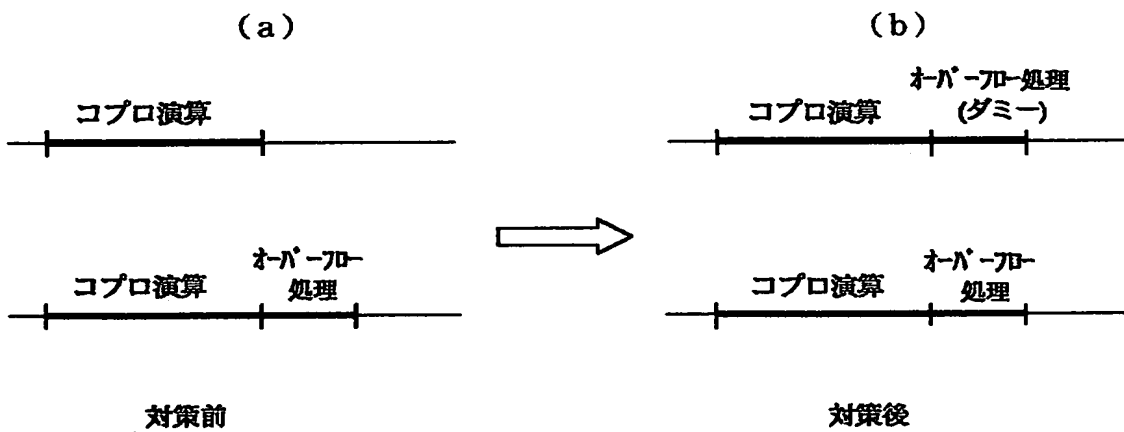
【図11】



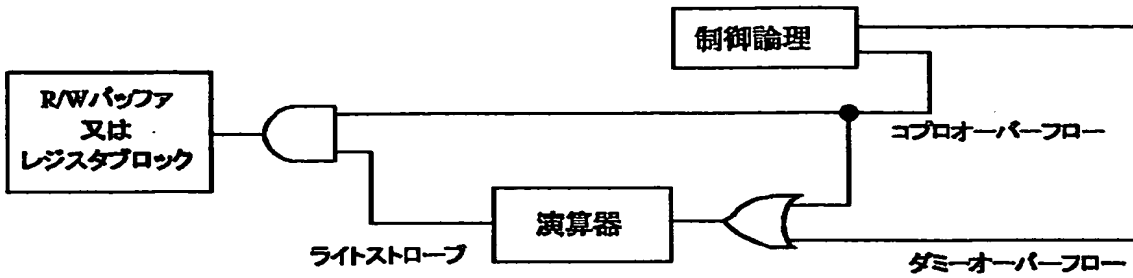
【図 12】



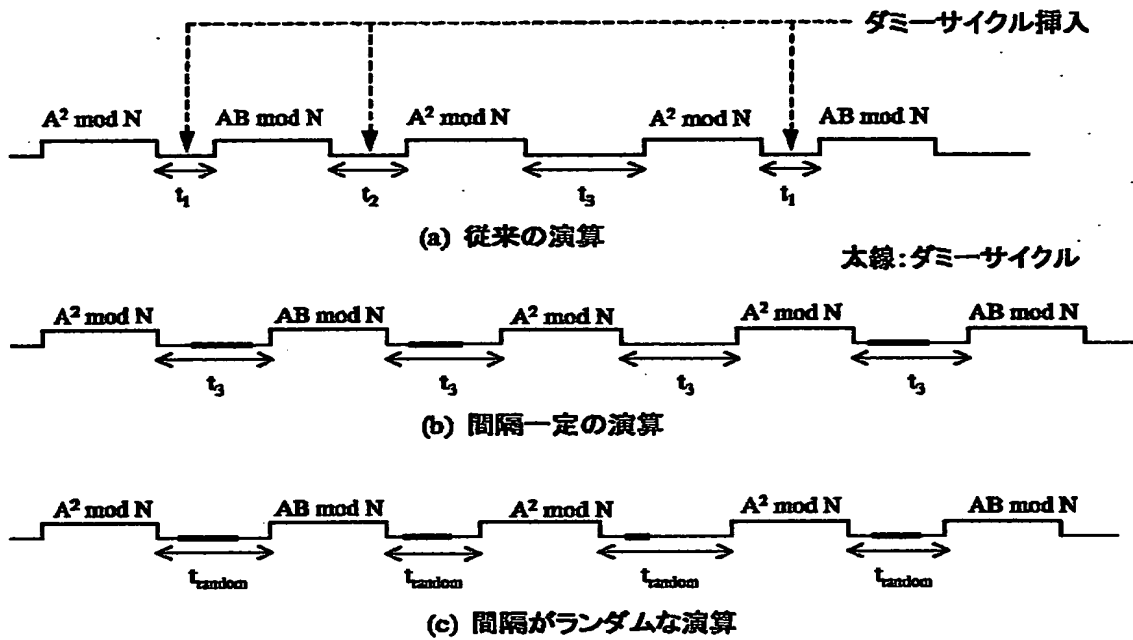
【図 13】



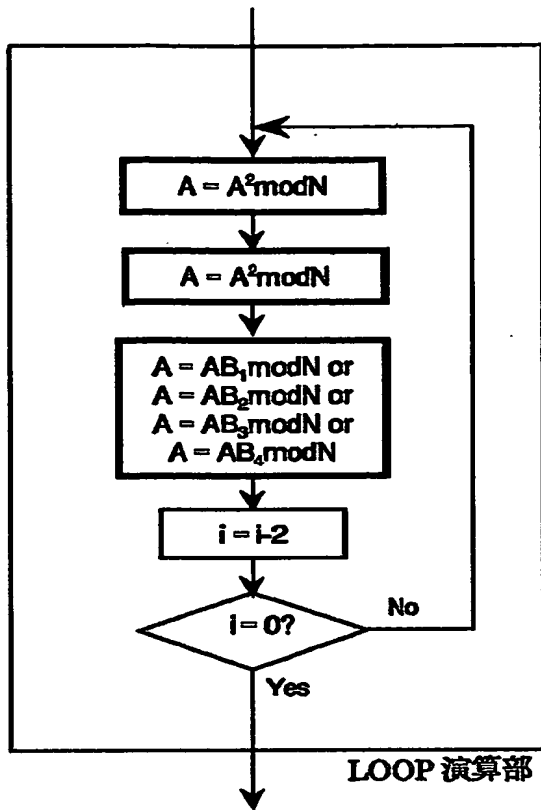
【図 14】



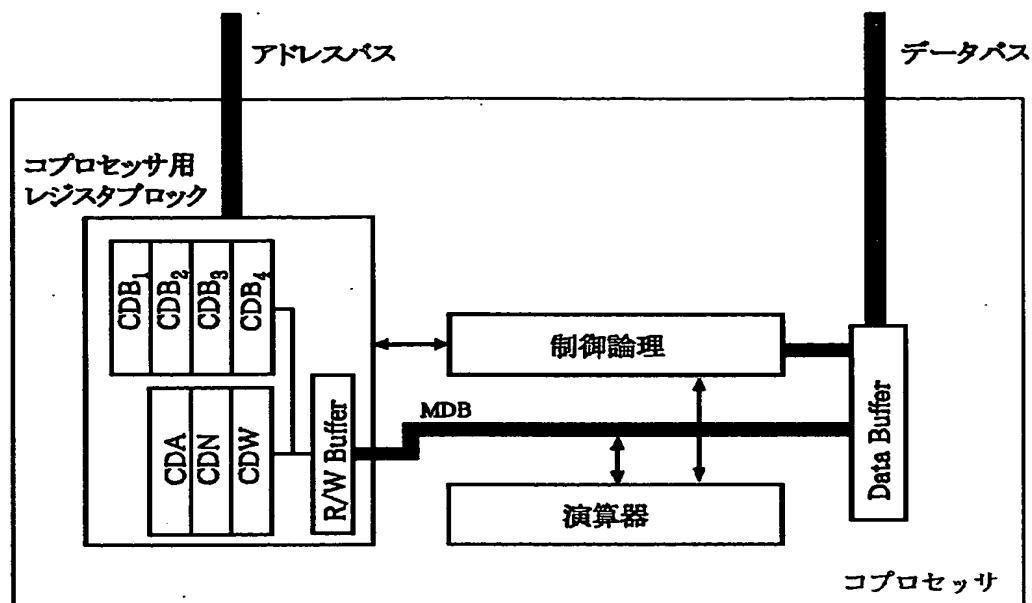
【図 15】



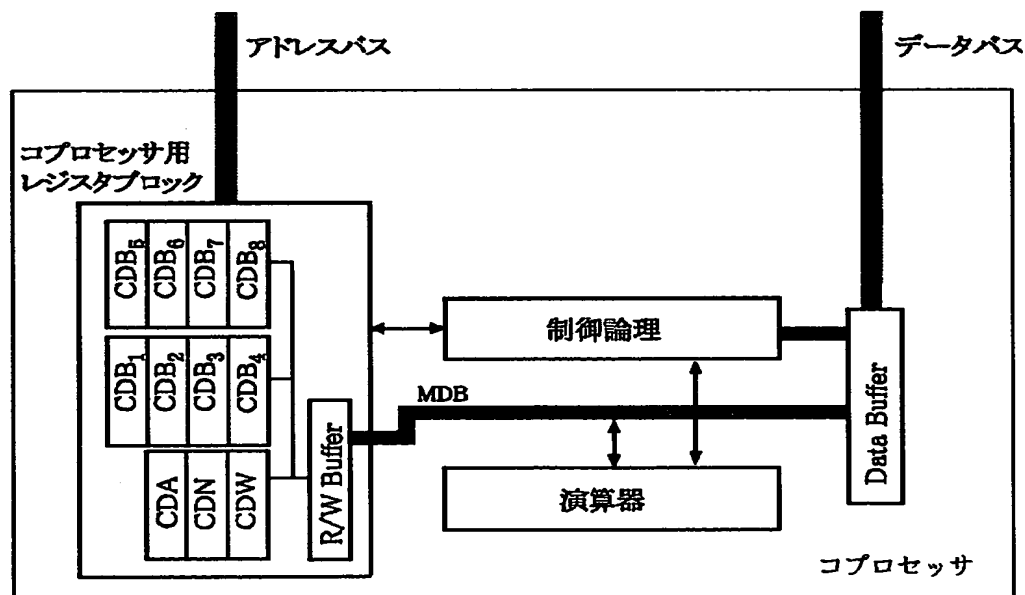
【図 16】



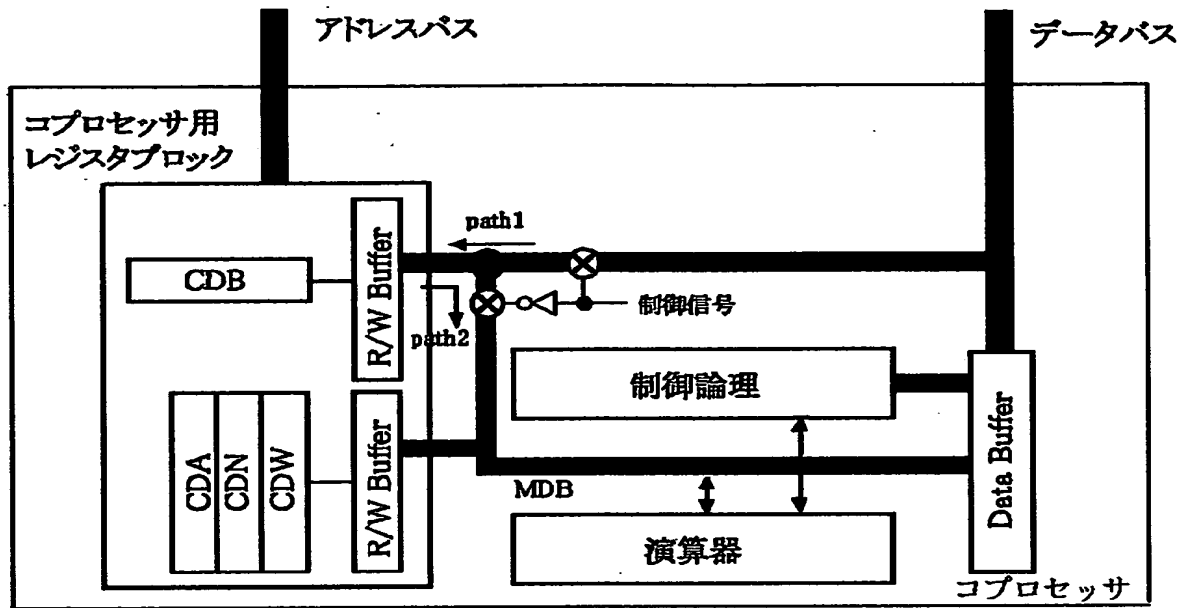
【図 17】



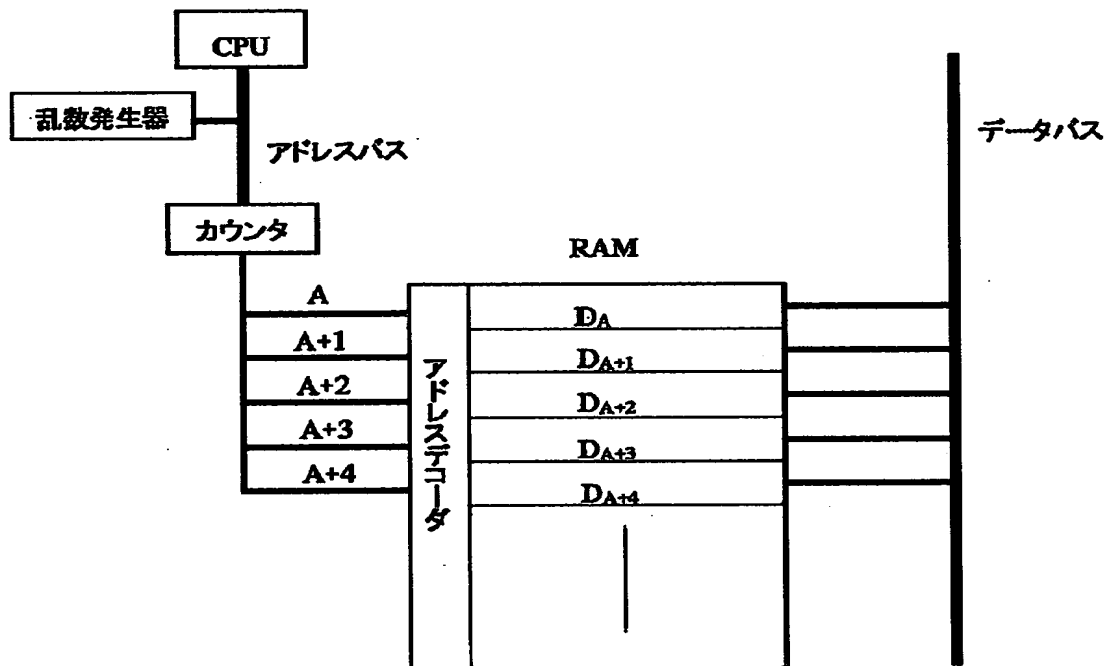
【図 18】



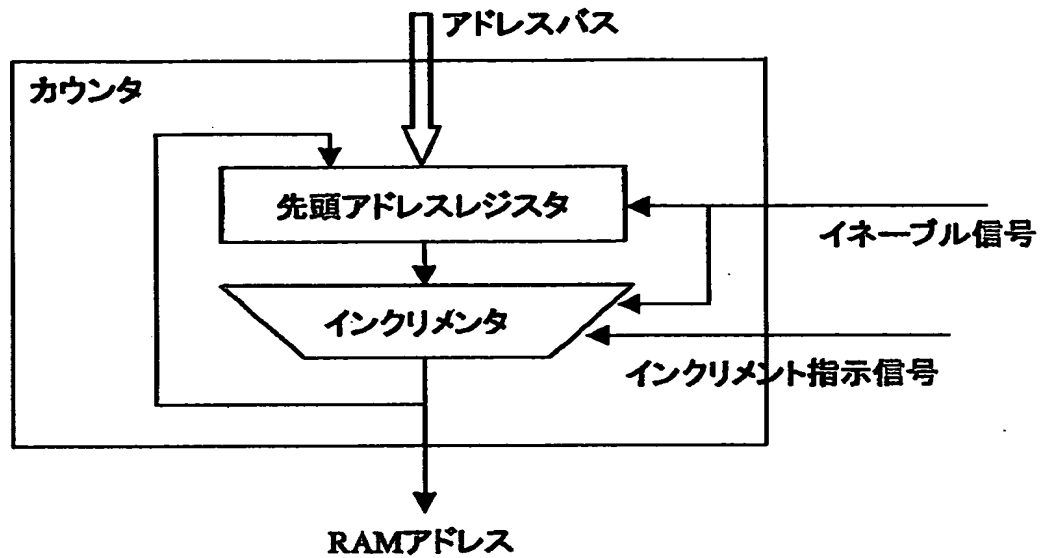
【図 19】



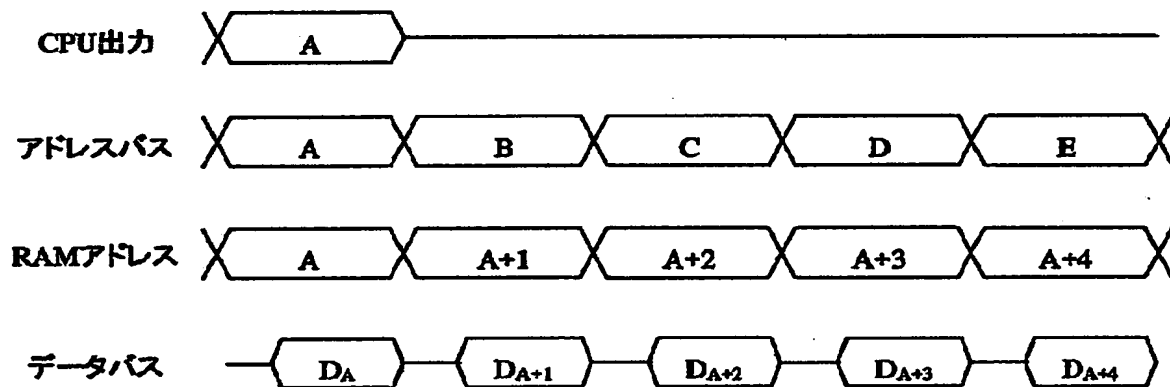
【図 20】



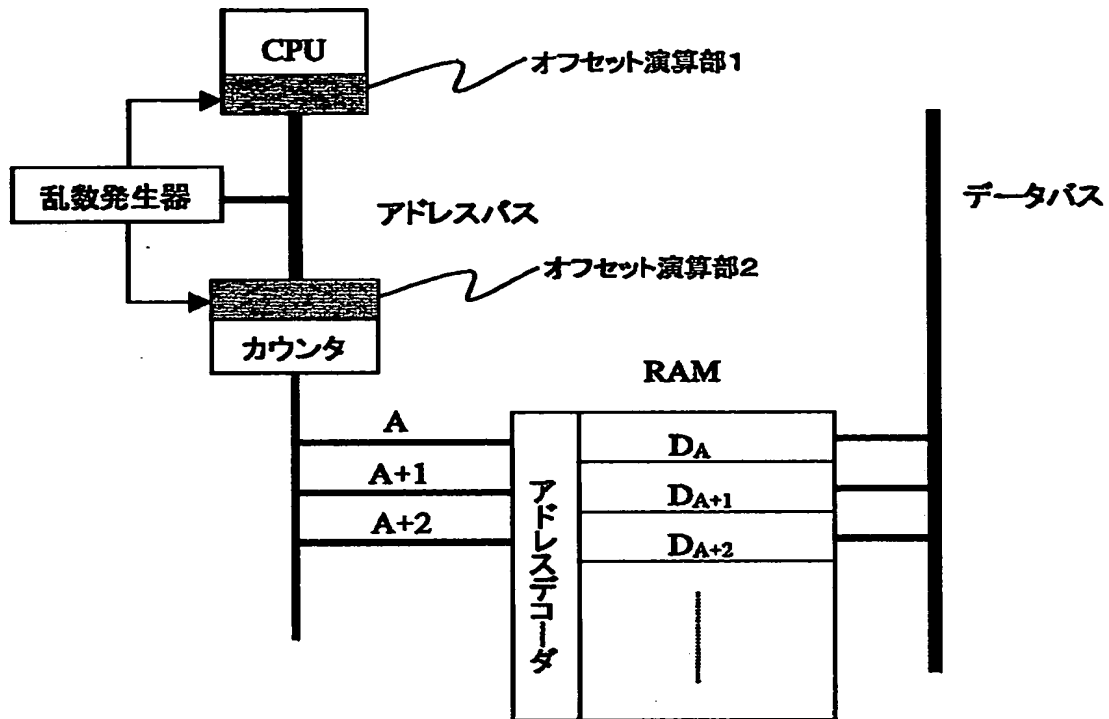
【図 2 1】



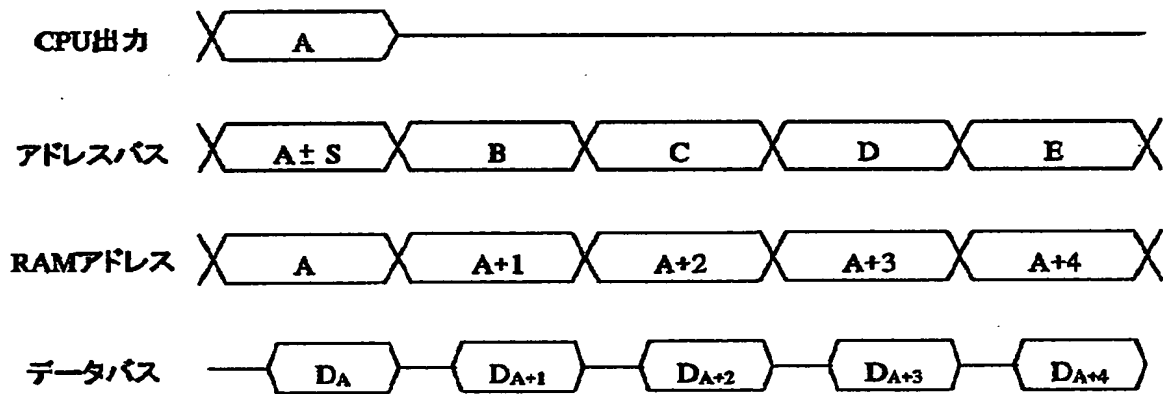
【図 2 2】



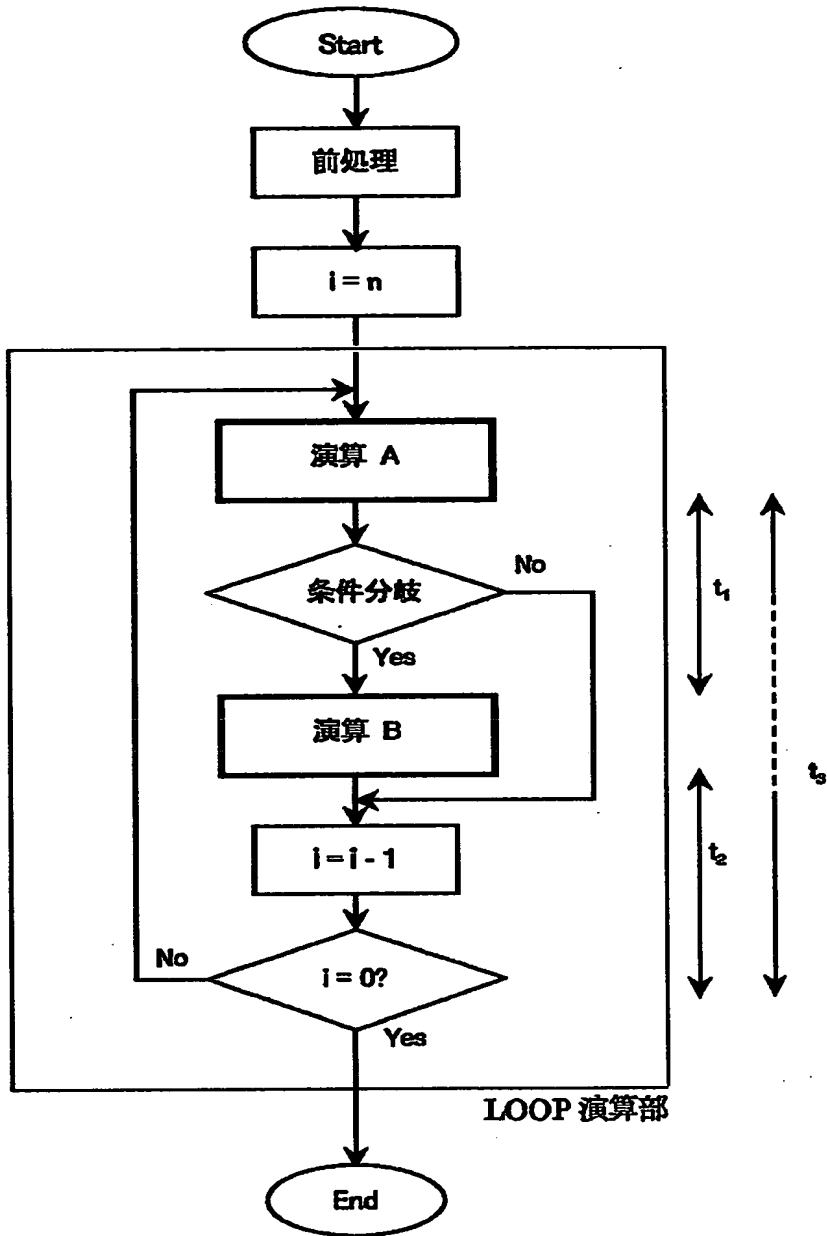
【図 2 3】



【図 2 4】



【図 2 5】



【書類名】 要約書

【要約】

【課題】 機密保護の強化を実現した I C カードとマイクロコンピュータを提供する。

【解決手段】 外部端子がリードライト装置と電氣的に接続されることによって動作電圧が供給され、かつ、暗号化処理又は復号化処理を伴ったデータの入出力動作を含む I C カードにおいて、上記暗号化処理又は復号化処理に攪乱目的のダミー処理動作を含ませて内部回路の動作タイミング及び動作電流の画一化を行なうようにする。暗号化処理又は復号化処理を伴ったデータの入出力動作を含むモジュール構成のマイクロコンピュータにおいて、上記暗号化処理又は復号化処理に攪乱目的のダミー処理動作を含ませて内部回路の動作タイミング及び動作電流の画一化を行なうようにする。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ